

基于 CPLD 的 CIS 传感器图像采集系统^①

黄 崇, 高明煜, 黄继业, 陆冬维

(杭州电子科技大学 电子信息学院, 杭州 310018)

摘 要: 接触式图像传感器(CIS)是图像扫描领域常用的传感器, 在具体工程应用中, CIS 传感器的图像采集方案有很大的差异, 性能也参差不齐. 针对 CIS 的高速采集提出了一种新的实现思路, 相比传统的方案具有通用性好、采集速度快、易扩展、成本低等优点. 详细论述了利用 CPLD 进行 CIS 传感器高速图像采集的设计方案, 并对实验结果进行了详细地分析.

关键词: CIS; 图像采集; 摄像头接口时序; CPLD

CIS Image Acquisition System Based on CPLD

HUANG Chong, GAO Ming-Yu, HUANG Ji-Ye, LU Dong-Wei

(Electronic Information College, Hangzhou Dianzi University, Hangzhou 310018, China)

Abstract: CIS (contact image sensor) is the conventional sensor in the field of image scanning. In the application of concrete engineering, the image acquisition schemes of CIS sensor have many differences, and the performance is also uneven. Aiming at solving the problem of CIS high-speed acquisition, this paper proposes a new way, which has advantages compared with traditional solutions, such as good generality, high acquisition speed, easily expanded, low cost, and so on. This paper discusses in detail design plan of CIS high-speed image acquisition based on CPLD, and has full analysis on experimental results.

Key words: CIS; image acquisition; camera interface timing; CPLD

CIS 传感器是一种线形图像采集传感器, 具有尺寸小、重量轻、结构紧凑、便于安装等特点^[1], 越来越多应用于图像扫描领域. 目前, 常见的 CIS 传感器采集方案主要分两大类——高性能处理器直接采集和使用 FPGA 结合外置高速 AD 采集. CIS 传感器的输出像素数据是模拟信号, 需要 AD 进行数据转换, 前一种方案受限于处理器内置 AD 的速度, 难以达到很高的采集速度. 而使用 FPGA 设计的采集控制器可以达到高速的采集要求. 而且, 利用 FPGA 丰富的资源, 可以进行采集参数的设置, 数据的存储和处理等, 具有使用灵活、功能强大等优点. 但是, 该方案比较复杂, 实现难度较大, 成本较高.

考虑到 CIS 传感器与摄像头的相似性, 本设计“聚线为面”——将采集的“行数据”遵循摄像头接口时序以“面”为单位进行传输, 对外通讯标准化为摄像头接

口, 使得本系统具有很强的通用性. 本方案使用 CPLD 结合外置高速 AD, 可以达到高速的采集要求. 由于舍弃了数据缓存, 使得数据的传输变得直接而又高效, 降低了开发难度.

1 CIS传感器简述

本采集系统选用的是威海华凌公司的一款 CIS 传感器, 该传感器具有高速、使用灵活等优点. 其内部电路如图 1 所示. 传感器由 LED 光源、棒状透镜阵列、图像传感器阵列、保护玻璃和电路板等几部分组成.

该传感器的时钟频率最高为 16MHz, 扫描宽度为 183mm, 支持黑白和彩色输出. 其分辨率有 200DPI、100DPI 和 50DPI 三种选择方式, 传感器的 CNT 引脚为选择端口.

该传感器的工作原理是: LED 光源发出的光线照

^① 收稿时间:2015-06-16;收到修改稿时间:2015-08-17

射在被扫描物的表面上，其反射光经透镜聚焦后传入到图像传感器阵列，从而将反射光转化为电信号。由外部提供的时钟信号经 CLK 管脚输入到 CIS 内部控制器中，此信号控制移位寄存器移位，移位寄存器通过信号移位控制模拟开关依次打开，即可将 CMOS 传感器采集的像元电信号依次串行输出，完成对被扫描物的横向扫描^[2]。此传感器将整个扫描条分成三段，引出 3 个输出信号——SIG1、SIG2、SIG3，可以并行输出，也可以选择使用部分或者全部通道。

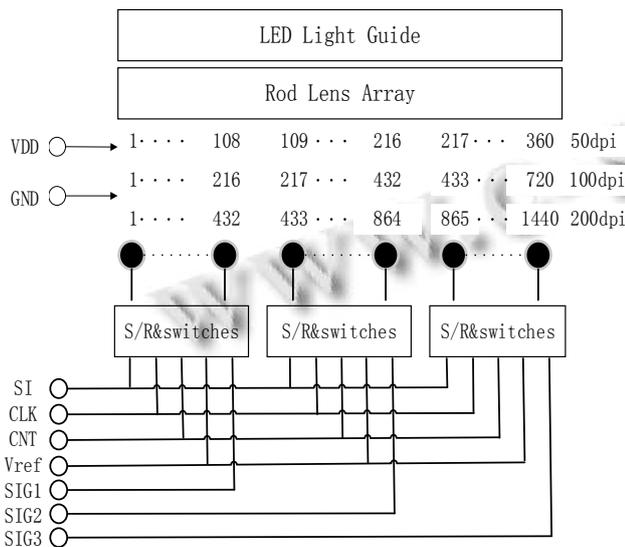


图 1 CIS 传感器结构框图

2 CIS 传感器高速采集系统设计

2.1 系统整体设计

采集系统框图如图 2 所示，主要由 CIS 传感器、3 个高速 AD 和 CPLD 构成。对 CPLD 进行硬件编程，在 CPLD 内部产生 3 块时序发生电路，即 CIS 扫描时序发生器、AD 转换时序发生器和摄像头时序发生器。

系统的工作流程为：CPLD 产生 CIS 扫描时序，将 CIS 扫描条的像元模拟信号依次输出。像元的模拟信号经过 AD，转换为数字的灰度数据，进而传送到摄像头时序发生器。摄像头时序发生器负责将像元数据发送给外部高性能处理器，完成数据传输。

2.2 CIS 扫描时序发生电路

本采集系统设置传感器的分辨率为 100DPI，此时 CNT 管脚接 GND。传感器上有效的像元总数为 720 个，SIG1、SIG2 和 SIG3 通道对应着传感器的 3 段，拥有的像元个数分别为 216、216 和 288。尽管该传感器支持三个通道并行输出，但是这与后级从摄像头时序发

生模块串行输出数据是冲突的，所以本系统采用的是串行输出。

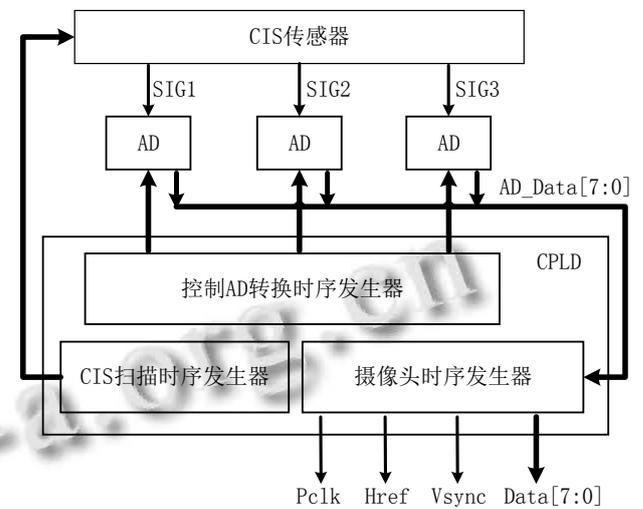


图 2 CIS 传感器采集系统框图

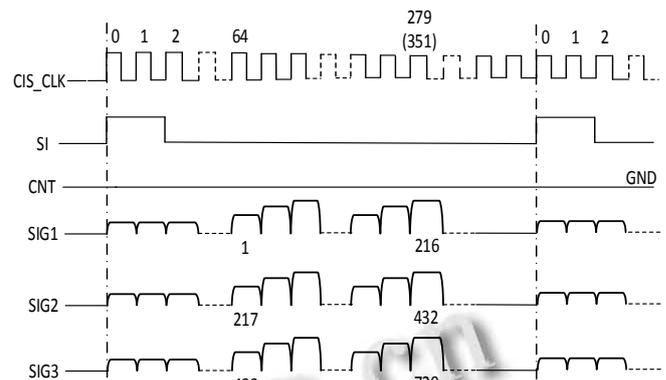


图 3 CIS 传感器时序图(100DPI)

图 3 为 CIS 传感器的采集控制时序图，CIS_CLK 为 CIS 的扫描时钟，SI 为同步信号。为了完整地完一行数据的采集，需要对 3 个通道分时进行处理。这样做的结果是，采集一行数据时，需要产生 958 个 CIS_CLK 时钟信号和 3 个 SI 同步信号。

传感器在 CIS_CLK 的上升沿开始输出一个新像素的信号；在 CIS_CLK 的下降沿，信号保持稳定，此时可以进行采样。为了能够准确区分 CIS_CLK 的上升沿和下降沿，设计中使用了一个基准时钟源 XCLK，而它的频率为 CIS_CLK 频率的 2 倍。经过分析，要完整的采集一行数据需要 1917 个 XCLK。利用 XCLK 进行计数，计数总数为 1917，计数信号取名为 XclkCnt。利用比较器将 CIS_CLK、SI 关键跳变时刻对应的 XclkCnt 值和 XclkCnt 信号进行比较，从而产生这两个

控制信号。

2.3 AD 采样电路

AD 采样电路如图 4 所示, 本采样系统选用的 AD 是德州仪器公司的 TLC5510A, 此 AD 性价比高, 采样频率最高为 20MPS. TLC5510A 的数据输出端口为三态输出结构, 通过选择性的控制 3 个 AD 的 OE 端口, 使得它们的输出构成数据总线, 送入到 CPLD 中。

CIS 传感器输出的模拟信号的电压幅值, 会随着

光照强度、被扫描物表面反光灵敏度以及扫描频率发生变化. 在纸币扫描的应用中, 我们的扫描目标频率为 14MHz, 此时将扫描条的光照强度调到最大, 传感器输出模拟信号的电压在 0.8V~2.2V 内波动. TLC5510A 可以通过内部电阻分压的方法为系统提供基准电压, 此时 VREFB=0.5V, VREFT=2.5V, 能满足系统的采集需要. 本系统利用这种方法, 简化了硬件设计。

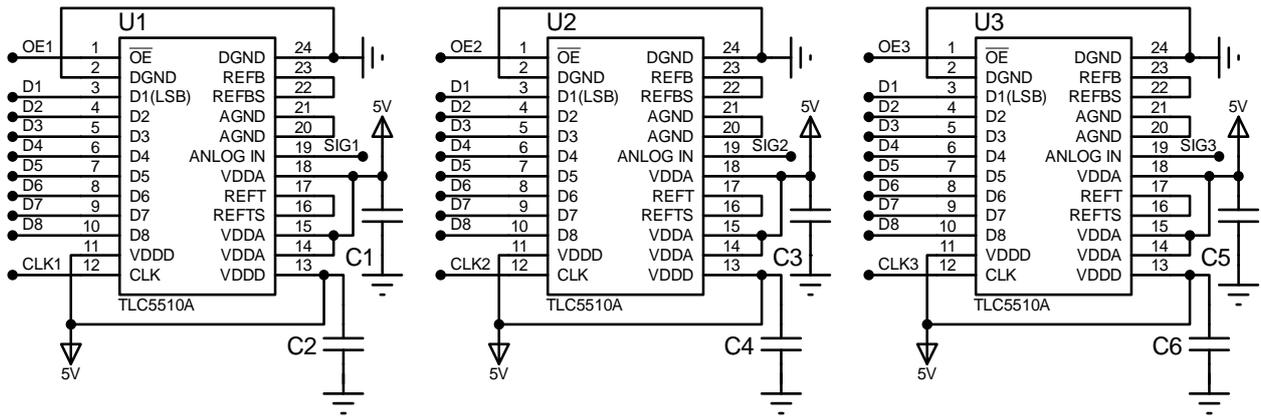


图 4 AD 采样电路

2.4 AD 转换时序发生电路

图 5 为控制 AD 转换的时序图, 图中展示了完整采集一行数据所对应的 AD 控制时序. 控制 AD 的转换主要涉及 6 个信号 OE1~OE3 和 CLK1~CLK3. 以 SIG1 通道 AD 转换为例, OE1 为低电平时, TLC5510A 出于工作状态, 在 CLK1 脉冲的激励下, TLC5510A 不断的对 SIG1 通道的模拟信号进行模数转换, 转换后的数字量从 D1~D8 输出。

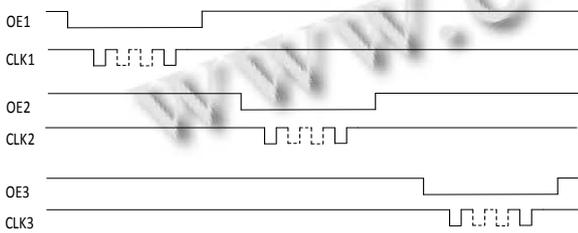


图 5 控制 AD 转换的时序图

AD 转换时序发生电路和 CIS 扫描时序发生电路紧密配合, 分时依次地对 SIG1、SIG2、SIG3 通道的信号进行 AD 转换, 就得到了传感器一行的图像数据. 上述的 6 个控制信号其产生方法与 CIS_Clk、SI 信号

产生的方法类似, 通过关键跳变时刻对应的 XclkCnt 值和 XclkCnt 信号比较获得。

2.5 摄像头时序发生电路

高速数据采集系统中, 数据传输是一个至关重要的问题. 常见的解决方案是利用处理器的外设 DMA 进行数据传输, 而本系统使用的是摄像头 DMA, 使得该采集系统对外接口标准化, 便于与不同类型的处理器进行连接。

摄像头时序发生电路负责产生摄像头时序, 与带有 Camera 接口的处理器连接, 完成数据传输. 图 6 为摄像头时序图, 我们设定一副图像共有 700 行, 每行 720 个像元. 通过在程序上简单地修改参数, 可以更改图像的行数。

像素时钟信号 CAMPCLK 的产生方法与 CIS_Clk 的产生方法类似, 需要注意的是在采集一行数据的时候, 传感器相邻段的间隔区仍然有 CIS_CLK 信号, 但是并不会产生有效的像素数据, 所以此时是没有 CAMPCLK 信号的. 在输出一帧完整的数据时, 行同步信号 CAMHREF 并不是一直有效的, 需要在帧与帧之间插入若干个空行来完成切换和同步. 设计中引入

一个基准信号 `signal_camhref`，此信号在每一个 `XclkCnt` 的计数周期里产生一个时钟信号。再引入一个信号 `HrefCnt` 来对 `signal_camhref` 信号进行计数，计数总数为 703 行，其中 3 行用于帧与帧之间的同步。利用 `HrefCnt` 和 `signal_camhref` 这两个信号，就能产生所需要的行同步信号 `CAMHREF`。至于帧同步信号 `CAMVSYNC`，可以利用比较器将关键跳变时刻对应的 `HrefCnt` 值和 `HrefCnt` 信号比较获得。

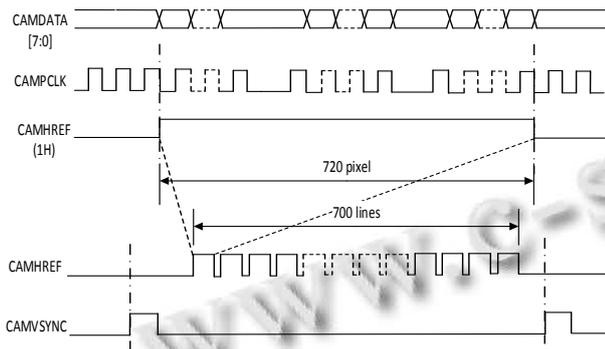


图 6 摄像头时序图

本系统摄像头接口输出格式，采用的是 `RawRGB` 格式。理论上 `RawRGB` 格式输出的是彩色图像，而本系统传输的是灰度图像，采用 `RawRGB` 格式是从数据传输的角度来说的。若一款处理器的摄像头接口支持 `RawRGB` 格式，将很轻松地实现数据传输。非 `RawRGB` 格式的情况，如 `RGB`、`YCbCr`，也可以进行数据传输，但是需要在处理器端增加一些程序来进行数据调整，以将缓冲区数据还原为发送端原来的排序。

3 实验结果分析

3.1 CIS 传感器测试

通过改变 CIS 扫描时钟频率，可以测试频率对传感器的输出影响特性。图 7 和图 8 分别为扫描时钟在 500KHz 和 6.25MHz 条件下所测得的 CIS 信号波形。

从图中可以看出，在每一个扫描时钟周期内，传感器对应地输出一个像元的模拟信号。在 `cis_clk` 的上升沿，传感器输出图像信号；在 `cis_clk` 的下降沿，对已经稳定的信号进行采样。对比两图可以发现，扫描的频率越高，输出信号波形越差。信号差主要表现在两个方面：其一，输出信号在时序上有一定程度的推迟；其二，输出信号的电压幅度降低了将近一半。

针对信号的推迟，我们将 AD 采样的时机根据实

际情况相应的进行了延迟，以保证在采样时刻传感器输出信号处于稳定状态。针对输出信号电压的降低，我们将 LED 的补光强度加大，使得输出信号电压在可采集范围内。

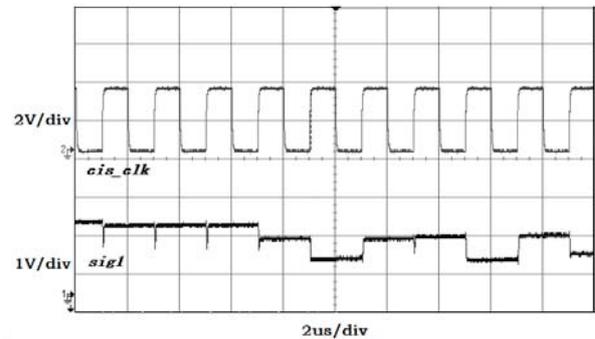


图 7 CIS 扫描时钟 500KHz 时的信号波形

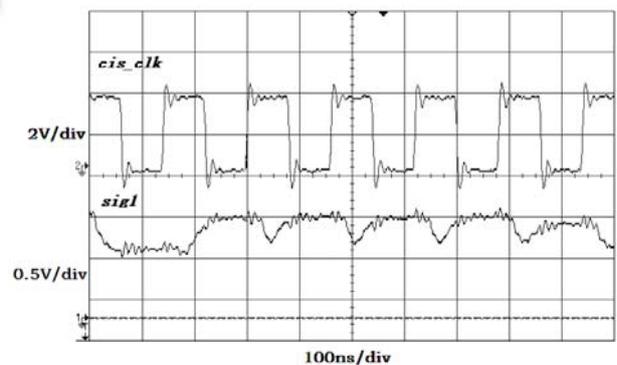


图 8 CIS 扫描时钟 6.25MHz 时的信号波形

3.2 图像采集测试

在图像采集测试过程中，我们利用 S3C2440 开发板将采集到的图像保存到 SD 卡中，实验结果如图 9 所示。S3C2440 的摄像头接口数据格式为 `YCbCr` 格式，与采集端 `RawRGB` 格式有出入，所以在接收端我们对位于 `Y`、`Cb`、`Cr` 三个通道的数据进行调整，恢复为采集端的顺序。

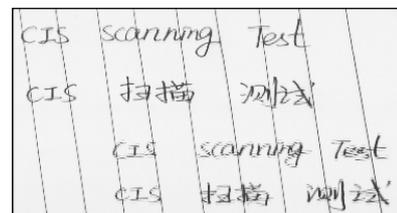


图 9 一张扫描测试图

在系统采集端，我们设定图像宽 720 个像素，高 700 个像素，这样一张图片将近 500KB。当扫描频率为

12.5MHz 的时候,采集端 输出图像的帧率将达到 18fps, 高于在 SD 卡上存储一张图片的时间. 为了实 现完整保存一张图片的目的, 我们利用 S3C2440 的摄 像头乒乓缓冲区, 在多帧图像数据中只取其中一帧进 行保存.

4 结语

本文论述的 CIS 传感器采集系统使用了一片 EPM240 的 CPLD, 最终资源使用率不到 60%, 用简便 的方法实现了 CIS 的复杂采集和传输过程, 达到了 CIS 传感器常见应用的基本要求. 本文的论述为 CIS 传感器的高速采集扩展了思路, 为 CIS 扫描应用提供 了一种廉价高效的参考方案.

参考文献

- 1 刘贵喜,杨万海,谢仕聘.CIS 信号检测与处理技术.光电工 程,2000,27(4):18-20.
- 2 姜利,汪洋,邓胜江,王晓冬.基于 CIS 的铁路客票票号的图 像采集.铁路计算机应用,2014,23(3):3-9.
- 3 程秋林,朱凯燕.基于 ARM9 的便携式 CIS 型扫描仪设计. 微型机与应用,2010,12:38-41.
- 4 宋恩雨.基于 CIS 传感器的纸币鉴别与清分系统研究[硕士 学位论文].青岛:山东科技大学,2007.
- 5 蔡新鹤.基于 SOPC 的 CIS 扫描控制器设计与实现[硕士学 位论文].西安:西安电子科技大学,2013.