

# 基于 CPLD 的计算机组成原理实验板<sup>①</sup>

杜 健, 王忠庆, 鲜 浩

(中北大学 计算机与控制工程学院, 太原 030051)

**摘 要:** 针对传统的计算机组成原理实验仪只能进行功能实现和验证, 无法满足在校学生自主设计和创新问题, 提出了一种改进计算机组成原理实验板的方法. 该方法采用复杂可编程逻辑器件(CPLD)芯片替代传统分立小规模集成 IC 芯片作为载体, 使用电子设计自动化(EDA)开发工具, 以硬件描述语言(VHDL)来实现各种硬件逻辑, 再与硬件的输入输出接口线路相连, 最终组成一台可用于实验教学的完整计算机系统. 实验表明, 新设计的实验板能够实现原实验仪的实验要求, 增强实验系统的功能, 提高系统的灵活性, 降低实验成本.

**关键词:** 复杂可编程逻辑器件; 计算机组成原理; 微程序控制器

## Experimental Board for the Course of Computer Principles Based on CPLD

DU Jian, WANG Zhong-Qing, XIAN Hao

(College of Computer Science and Control Engineering, North University of China, Taiyuan 030051, China)

**Abstract:** The problem of a traditional experimental instrument for the course of computer principles is that it can only be used for the functions of realization and verification and cannot meet the requirement for students' independent design and innovation. A method for improving the experimental board of computer organization is proposed. The method uses a complex programmable logic device (CPLD) chip to replace the traditional discrete small-scale IC chip as the carrier. By using electronic design automation (EDA) tools and very-high-speed integrated circuit hardware description language (VHDL) it can achieve a variety of hardware logic, and connection with the input and output hardware interface circuits. The final composition with a complete computer system can be used for experimental teaching. Experiments show that the new experimental board can achieve the experimental requirements of original experimental instrument, enhance the function of the experimental system, improve flexibility and reduce test costs.

**Key words:** complex programmable logic device; computer composition principle; micro program controller

## 1 引言

在计算机组成原理课程实验中, 学生自主设计 CPU 是一个重要的实验内容<sup>[1]</sup>. 目前计算机组成原理的实验主要是在一些由分立元件构成的实验平台上, 完成简单模型 CPU 的验证性实验, 基本谈不上设计, 更没有国外高校类同的自主创新型 CPU 设计实验任务<sup>[2]</sup>. 传统的方法是利用计算机组成原理实验仪, 它已将 CPU 的各个组成部件全部做好, 学生只需按照设定的数据格式和指令系统, 遵循相应的步骤完成各部分组成实验的验证. 这种方法的缺点是学生所做实验难以突破实验箱上硬件的限制. 而且采用传统的分立

小规模集成 IC 芯片的设计方法既费时又消耗大量器材, 且不能够根据需要重新构造逻辑功能, 已经不能满足现代电子系统设计的要求. 本文针对此问题, 提出了基于 CPLD 的计算机组成原理实验板的设计方法.

## 2 硬件电路设计

### 2.1 硬件电路总体设计

计算机组成原理实验仪由三块小印刷电路板构成, 分别为 A 板(控制信号板)、B 板(数据通路板)、C 板(微程序控制板). 本设计是在充分理解由北京精仪达盛科技有限公司提供的计算机组成原理实验仪的设计原理

<sup>①</sup> 收稿时间:2015-04-13;收到修改稿时间:2015-05-23

的基础上,熟悉控制信号板、数据通路板、微程序控制器板的具体实验操作和实验现象,将微程序控制器板中的分立小规模集成IC芯片用CPLD可编程器件替代,做到新开发的功能与原有的模块功能、使用方法完全一致.如图1为实验仪结构.

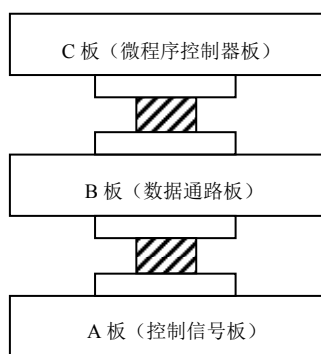


图1 实验仪结构

从工业生产角度,为确保器件以后的稳定供应,采用ALTERA公司最新EPM240系列处理器作为主控制器<sup>[3]</sup>.考虑到要继续沿用原有试验箱,在设计微程序控制器板时,要保证其制版大小、接口、用于固定电路板的过孔等设计与原电路板设计完全相同.为使电路板的设计布局足够美观在该板上采用双CPLD的设计方式,每个CPLD功能按照电路功能分类的原则,合理分配功能和信号走线.在选择CPLD器件型号时,综合考虑够用原则,保证两片芯片的逻辑资源能够满足设计要求,以及成本问题选用了EPM240T100C5N处理器作为主控单元.本设计硬件方面主要完成CPLD外围电路及微指令存储器电路的设计.

## 2.2 硬件电路分模块设计

### 2.2.1 主控制器 EPM240T100C5 模块

Altera推出的MAX II器件系列是一款革命性的CPLD产品<sup>[4]</sup>.它基于突破性的CPLD架构,提供业界所有CPLD系列中单个I/O管脚最低成本和最小功耗.这些器件采用新的查表(LUT)体系,采用TSMC的0.18 $\mu\text{m}$ 嵌入Flash工艺,使其裸片尺寸仅为同样工艺器件的1/4.MAX II系列器件支持高达300MHz的内部时钟,可为用户提供更高的系统性能;支持实时系统可编程,允许用户编程正在工作的器件;其内部8Kbit Flash存储器,用户可访问且可编程,也可定义数据;MAX II架构支持MultiVolt,允许器件在1.8V、2.5V或3.3V电压环境下工作;该系列的CPLD具有一种被

称为JTAG翻译器的功能,这种功能允许通过MAX II器件执行定制的JTAG指令,配置单板上不兼容JTAG协议的器件,从而简化了单板管理;另外,MAX II系列的CPLD的I/O能力加强了其易用性和系统集成能力.本设计中用作主芯片的2个EPM240T100C5N是MAX II器件系列中的一款,采用了TQFP100封装,包含240个逻辑单元,192个等效宏单元,最大用户I/O管脚数为80,资源比较丰富.

### 2.2.2 微指令寄存器(MIR)模块

实验中采用了水平微指令格式,一条微指令的字长为32位,由21位微操作控制字段(MIR<sub>31</sub>~MIR<sub>12</sub>、MIR<sub>7</sub>),四位判别测试字段,即P字段(MIR<sub>11</sub>~MIR<sub>8</sub>),7位顺序控制字段(MIR<sub>6</sub>~MIR<sub>0</sub>)三部分组成.微指令中微操作控制字段的微命令编码采用直接表示和字段直接译码相结合的混合编码方式,以缩短微指令字长.由微指令中操作控制字段提供的各种微指令与相关逻辑电路配合产生简单数据通路工作所需要的全部微指令.

微指令寄存器由4片8D型触发器74LS273组成,即MIR<sub>31</sub>~MIR<sub>0</sub>.在时序电路的T<sub>2</sub>时刻微指令寄存器置入由控制存储器读出的一条微指令,直到置入下一条微指令时停止.本设计所采用的74LS273是一种带清除功能的8D触发器,1D~8D为数据输入端,1Q~8Q为数据输出端,正脉冲触发,低电平清除,常用作8位地址锁存器<sup>[5]</sup>.微指令经74LS273触发器后,其顺序控制字段和部分微操作控制字段被直接译出,用于直接设置控制信号板(A板)中对应的信号.

### 2.2.3 控制存储器(CM)模块

控制存储器用4片电可擦除可编程E<sup>2</sup>PROM芯片2816,以位并联方式组成一个128 $\times$ 32位的控制存储器.该芯片既可作为RAM使用,又具有ROM的特性.它和读写存储器RAM芯片M2114、6116一样,可以十分方便的写入数据.但由于它具有只读存储器的特性,当电源掉电后重新恢复上电时,存储的信息保持不变.这就给向控制存储器中写入微程序带来很大方便.

2816芯片有11根地址线(A<sub>10</sub>~A<sub>0</sub>),8根数据线(D<sub>7</sub>~D<sub>0</sub>),一个片选控制端 $\overline{\text{CE}}$ ,一个读写控制端 $\overline{\text{WE}}$ 、一个输出控制端 $\overline{\text{OE}}$ ,其容量为2K $\times$ 8位,写入数据的方法与一般RAM芯片大体相同.电路中将2816芯片中的A<sub>10</sub>~A<sub>7</sub>四位地址端、片选端 $\overline{\text{CE}}$ 和输出控制端 $\overline{\text{OE}}$ 均接地,即只使用存储器低地址区的128个单元.七位地址端A<sub>6</sub>~A<sub>0</sub>与七位微地址寄存器MAR<sub>31</sub>~MAR<sub>0</sub>经过三态

缓冲器 74244(U16)的输出相连<sup>[6]</sup>。

控制存储器的 32 位输出  $CM_{31} \sim CM_0$  对应地接到微指令寄存器  $MIR_{31} \sim MIR_0$  的输入端, 并且时序信号的  $T_2$  时刻会将从  $CM$  中读出的一条微指令置入  $MIR$  中。

#### 2.2.4 CPLD 供电模块

本设计的两片 CPLD 芯片均采用 +3.3V 电压供电, 计算机组成原理实验仪采用 +5V 电源电压供电, 同时将发光二极管做为电源指示灯。CPLD 工作所使用的 +3.3V 直流电源则是通过 LDO 稳压电路由 AMS1117-3.3V 芯片实现 5V 转 3.3V 的电源模块提供。AMS1117 是一个正向低压降稳压器, 也是一个低漏失电压调整器, 其内部集成过热保护和限流电路, 片内过热切断电路提供了过载和过热保护, 以防环境温度造成过高的结温。为了确保 AMS1117 的稳定性, 对可调电压版本, 输出需要连接一个至少  $22\mu F$  的钽电容。对于固定电压版本, 可采用更小的电容, 具体可以根据实际应用确定。通常线性调整器的稳定性随着输出电流增加而降低。在电源电路中, D2 的作用防止了电源反接,  $10\mu F$  的输入电容 C3 有效地防止了输入端出现大的瞬态电压。另外, 输出电容 C6 的选择要合适, 否则电容值太大会造成对器件的损害, 也会使反馈环路不稳定, 导致输出端振荡。

#### 2.2.5 CPLD 下载模块

本设计中主控单元 CPLD 提供符合 IEEE 1149.1 的 JTAG 测试口。JTAG (Joint Test Action Group; 联合测试行动小组) 是一种国际标准测试协议 (IEEE 1149.1 兼容), 主要用于芯片内部测试<sup>[7]</sup>。本设计采用的 10 针 JTAG 接口电路中将信号 TCK (测试时钟输入)、TDI (测试数据输入)、TDO (测试数据输出) 和 TMS (测试模式选择), 分别配置给 CPLD 芯片的 P24、P23、P25、P22 管脚, 数据通过 TDI 输入 JTAG 口, 通过 TDO 从 JTAG 口输出, 用 TMS 来设置 JTAG 口处于某种特定的测试模式, 这样方便与 Altera 标准的 USB-Blaster 下载线连接。在电路的设计中, 根据相关数据手册中的说明, TMS、TDI、TMS 引脚上需要接一个  $10K\Omega$  的上拉电阻, 而 TCK 需要接一个  $1K\Omega$  的下拉电阻。

#### 2.2.6 板与板间接口模块

本设计所设计的微程序控制器板需要与计算机组成原理实验仪中的数据通路板 (B 板) 进行交互通信, 传输相应的指令。而在指令的设计中, 虽然每条微指令的字长为 32 位, 但在这 32 位指令的编码中采取直接表示

和字段直接译码相结合的方法, 为避免数据通路板重复译码, 直接将微程序信号器板译码后的指令传输给数据通路板, 因此, 设计中需要使用 64P 接口座 (弯) 公头才能满足两板之间通信要求。在管脚信号的设置时, 需要与数据通路板接口信号严格对应。如图 2 为微程序控制信号板与控制信号板相连时的整机效果。

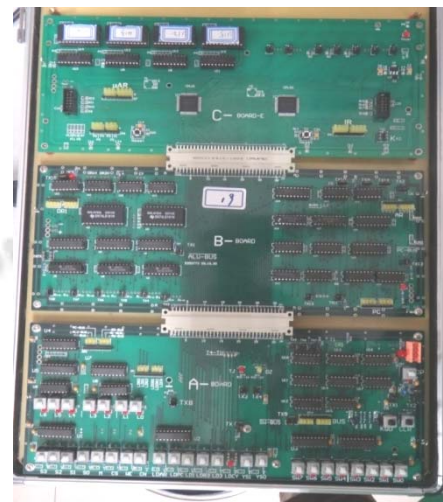


图 2 微程序控制信号板与控制信号板相连时的整机效果

### 3 软件程序设计

Altera 的 Quartus II 提供了完整的多平台设计环境, 能满足各种特定设计的需要。QuartusII 设计工具完全支持原理图、VHDL、VerilogHDL 以及 AHDL (Altera Hardware Description Language) 等多种设计输入形式, 内嵌自有的综合器以及仿真器, 可以完成从设计输入到硬件配置的完整 PLD 设计流程<sup>[8]</sup>。在本次设计中, 主要使用了该软件的绘制原理图和下载源程序这两个功能。

#### 3.1 CPLD-1 中程序设计

##### 3.1.1 微指令译码

32 位的微指令在经过 74LS273 后部分被直接用于控制信号板中信号的设置, 而 P 字段 ( $MIR_{11} \sim MIR_8$ ) 和部分微操作控制字段 ( $MIR_{19} \sim MIR_{23}$ ) 需要通过 3-8 译码器进行译码, 并经八位反相三态缓冲器 74LS240 暂时存放译码器送往外设的数据。P 字段的  $MIR_{11} \sim MIR_8$  四位指令通过一个由两片 3 线-8 线译码器组成的 4 线-16 线译码器进行译码, 并将译出的信号经过两片八位反相缓冲器输出, 获得判别测试字段 ((Pi) 测试及 LDPC、CN、LDR3'、LDR1')。微操作控制字段的  $MIR_{21} \sim MIR_{19}$  三位指令由一个 3 线-8 线译码器直接译出, 获得信号

$\overline{SW-BUS}$ 、 $\overline{R2-BUS}$ 、 $\overline{ALU-BUS}$ 、 $\overline{Rs-BUS}$ 、 $\overline{Rd-BUS}$ 、 $\overline{PC-BUS}$ 。微操作控制字段的  $MIR_{23}$ 、 $MIR_{22}$  两位指令则是由一个 3 线-8 线译码器译出, 与  $MIR_{21} \sim MIR_{19}$  三位指令译出的  $\overline{Rs-BUS}$ 、 $\overline{Rd-BUS}$  经一片八位三态缓冲器 4LS240, 获得信号 LDDR1、LDDR2、LDIR、Rs-BUS 及 Rd-BUS。在设计 4 线-16 线译码器时, 分别将  $MIR_{11}$  和  $\overline{MIR_{11}}$  作为两片 3 线-8 线译码器的片选信号<sup>[9]</sup>。

### 3.1.2 微地址修正

该微程序控制器形成微地址的方法采用了断定方式。一般情况下, 从存储器读出的现行微指令中顺序控制字段直接给出下一条微指令的后继地址, 这一微地址就存放在微地址寄存器中。若微程序不出现分支, 那么下一条微指令的微地址直接由微地址寄存器给出。当微程序出现分支时, 微程序出现条件转移。在这种情况下, 通过判别测试字段给出的测试条件  $P(i)$  和执行部件的“状态条件”反馈信息来决定是否修改微地址寄存器的内容, 若被修改, 则按修改后的微地址去读出下一条微指令。地址转移逻辑就承担自动完成修改微地址寄存器的任务。

地址转移逻辑的设计依据是微程序流程。微程序流程中的每一个分支就是一个判别测试点  $P(i)$ 。当条件满足, 需要修改微地址寄存器的内容时, 地址转移逻辑在时序信号的 T4 时刻将对应位的微地址寄存器置“1”<sup>[10]</sup>。

微程序控制板上的地址转移逻辑只对  $MAR_3 \sim MAR_0$  即低四位微地址寄存器的内容进行修改, 其各位置条件表达式如下:

$$\begin{aligned} MS_3 &= \overline{P(1) \cdot IR_7 \cdot T_4 + P(3) \cdot Cy \cdot T_4} \\ MS_2 &= \overline{P(1) \cdot IR_6 \cdot T_4 + P(6) \cdot OF \cdot T_4} \\ MS &= \overline{P(1) \cdot IR_5 \cdot T_4 + P(2) \cdot IR_3 \cdot T_4 + P(4) \cdot IR_1 \cdot T_4 + P(5) \cdot R_1 \cdot T_4} \\ MS_0 &= \overline{P(1) \cdot IR_4 \cdot T_4 + P(2) \cdot IR_2 \cdot T_4 + P(4) \cdot IR_0 \cdot T_4} \end{aligned}$$

### 3.1.3 微地址寄存器(MAR)

七位微地址  $MAR_6 \sim MAR_0$ , 用四片双 D 型触发器 74LS74 组成, 可以确定控制器存储器 CM 的容量为 128 个单元。微地址寄存器经三态缓冲器输出, 作为控制器存储器的地址输入, 并驱动发光二极管显示微地址寄存器的内容<sup>[11]</sup>。

微地址寄存器 MAR 可用总清按键 CLR 清除为“0”值。在时序信号的 T3 时刻可以接收到微指令中顺序控制字段的信息(来自  $MAR_6 \sim MAR_0$ ); MAR 的内容

还可以在时序信号的 T4 时刻, 由地址转移逻辑依据各种判别测试条件进行修改。地址转移逻辑的输出端, 对应地连接到 MAR 相应位的直接置位端, 当地址转移逻辑某一输出有效时(低电平), 则将微地址寄存器 MAR 对应位置“1”。

$MAR_6 \sim MAR_0$  中每一位的直接置位端都设置了跳线, 可以用跳线方式断开地址转移逻辑电路。这样, 使用者通过观测孔, 可将自行设计的地址转移逻辑电路的输出端一一对应接入。

### 3.2 CPLD-2 中程序设计

该片 CPLD 用于通用寄存器控制信号生成。

由微指令操作控制字段给出的微命令, 有的可以通过控制线直接送至简单数据通路使其完成该微指令所规定的操作, 而有的微指令则要与相关逻辑配合才能产生简单数据通路所需要的微指令。该微指令的逻辑表达式如下:

$$\begin{aligned} \overline{R_0} \rightarrow \overline{BUS} &= \overline{(Rs \rightarrow \overline{BUS}) \cdot \overline{IR_3} \cdot \overline{IR_2} + (Rd \rightarrow \overline{BUS}) \cdot \overline{IR_1} \cdot \overline{IR_0}} \\ \overline{R_1} \rightarrow \overline{BUS} &= \overline{(Rs \rightarrow \overline{BUS}) \cdot \overline{IR_3} \cdot \overline{IR_2} + (Rd \rightarrow \overline{BUS}) \cdot \overline{IR_1} \cdot \overline{IR_0}} \\ \overline{R_2} \rightarrow \overline{BUS} &= \overline{(Rs \rightarrow \overline{BUS}) \cdot \overline{IR_3} \cdot \overline{IR_2} + (Rd \rightarrow \overline{BUS}) \cdot \overline{IR_1} \cdot \overline{IR_0}} \\ LDR_0 &= LDR_i \cdot \overline{IR_1} \cdot \overline{IR_0} \\ LDR_1 &= LDR_i \cdot \overline{IR_1} \cdot \overline{IR_0} + LDR_i' \\ LDR_2 &= LDR_i \cdot \overline{IR_1} \cdot \overline{IR_0} \\ LDR_3 &= LDR_i \cdot \overline{IR_1} \cdot \overline{IR_0} + LDR_3' \end{aligned}$$

## 4 微程序控制器板的功能验证

### 4.1 测试前准备

#### 4.1.1 CPLD 程序下载固化

组原 C-BOARD 上有 2 片 CPLD(左边为 CPLD-1, 右边为 CPLD-2), 对应的下载后分别为 J1 和 J2, 对应的程序工程文件夹为 CPLD\_V1 和 CPLD\_V2, 需下载固化相应的程序, 系统才能正常工作<sup>[12]</sup>。

下载固化步骤:

①分别打开位于 CPLD\_V1 和 CPLD\_V2 文件夹内的 Quartus II(版本 10.0 以上)工程文件;

②进入名为 TEST 的 Quartus II 工程, 打开程序下载界面: Tools→Programmer;

③进入程序下载固化界面, 首先检查下载器 USB-Blaster 是否正常连接, 正常连接后, 选择下载文件 TEST.sof, 并勾选 Program/Configure 和 Verify 所有选项, 点击 Start 启动下载, 完成后右上角进度条会显示 100%。如图 3 为 CPLD 程序下载。

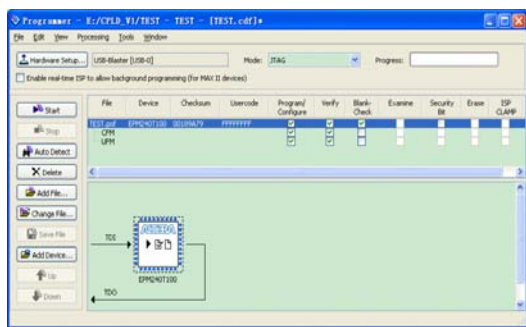


图 3 CPLD 程序下载

#### 4.1.2 上电前检查

检查电路板是否有明显短路, 芯片有无插反, 元器件是否焊错, 表面是否干净, 是否有明显划伤; 实验箱是否划伤、破损; C-BOARD 板与 B-BOARD 板之间连接是否牢固. 给实验箱上电, 用万用表测量各电压值是否正常, 其中 5V 为  $5\pm 0.05V$ , 3.3V 为  $3.3\pm 0.1V$ .

#### 4.1.3 实验仪的设置

使用时需将控制信号板(A 板)、数据通路板(B 板)以及微程序控制器板(C 板)三块板连接在一起, 其中 C 板的 2816 和 CPLD 已经固化了相应的代码. 将 A 板 TX8 跳线置水平位置, 使开关控制的微命令失效, 可完成实验五(微程序控制器组成实验)、实验六(微程序控制器). 微地址  $\mu AR$  显示灯, 指令 IR 显示灯均在 C 板上.

#### 4.2 测试结果

将设计完成的微程序控制器板与控制信号板相连接, 进行反复测试验证, 测试结果证实了该实验板能够正确完成北京理工大学出版社出版的《计算机组成原理实验指导教程》中的实验五(微程序控制器组成实验)和实验六(微程序控制器)的内容, 验证了微程序控制器的功能, 同时也说明了用 CPLD 代替原有的分立元器件设计电路可以实现原有计算机组成原理实验板的功能, 且使得设计更加简单, 性能更加完善.

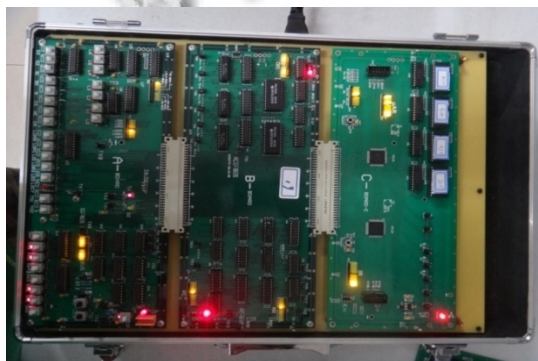


图 4 测试显示图

## 5 结论

本文提出了基于 CPLD 的计算机组成原理实验板的设计方法, 该方法是基于 CPLD 的计算机组成原理实验仪中的微程序控制器板设计与实现. 其主要包括电源模块、存储器模块、接口模块和基于 MAX II 240 系列 CPLD 的微程序控制电路的整体设计与实现, 在制版后完成电路的调试, 在 Quartus II 10.1 环境下使用 VHDL 语言编写源程序, 实现所要设计的功能, 并在软硬件联合调试下进行测试. 实践表明, 采用 CPLD 芯片替代原来模块中的分立小规模集成芯片后, 实验板与原有分立元件组合而成的实验板功能完全一致, 并能够在连续上电 12 小时后设备能正常使用. 新设计的实验板增强了实验系统的功能, 提高系统的灵活性, 降低实验成本. 微程序控制器板可当作 CPLD 实验板使用, 能够进行相关的 EDA 实验, 供学生自主发挥并进行创意设计.

#### 参考文献

- 1 郑文斌, 陈晓竹, 刘砚秋. “计算机组成原理”课程教学改革探索. 计算机教育, 2007.
- 2 Patterson DA, Hennessy JL. Computer Organization and Design: The Hardware/Software Interface. Morgan Kaufmann Publishers, Inc. 2006.
- 3 Ivanow L. A hardware lab for the computer organization course at small college. JCSC, 2013, 19: 185-190.
- 4 沈美娥, 纪秋, 史家骏, 梁琦. 计算机组成原理实验指导教程. 北京: 理工大学出版社, 2012.
- 5 王诚, 蔡海宁, 吴继华. Altera FPGA/CPLD 设计(高级篇). 第 2 版. 北京: 人民邮电出版社, 2011.
- 6 周宁宁, 程春玲. 基于 FPGA 技术的计算机组成原理实验系统. 现代电子技术, 2012, 23-25.
- 7 胡科. 基于 FPGA 的 VHDL 计算机组成实验平台的设计与实现[硕士学位论文]. 上海: 华东师范大学, 2006.
- 8 MAX II Device Handbook. Altera Corporation, 2009.
- 9 陈曙光. 基于 EPM240T 的 CPLD 开发板设计与实现. 天津大学学报, 2010, 80-82.
- 10 韩国栋, 赵月飞, 娄建安. Altium Designer Winter09 电路设计入门与提高. 北京: 化学工业出版社, 2009.
- 11 阎石. 数字电子技术基础. 第 5 版. 北京: 高等教育出版社, 2006.
- 12 潘松, 黄继业. EDA 技术与 VHDL. 第 2 版. 北京: 清华大学出版社, 2007.