

新型基于 MPC8309 的微机继电保护平台^①

孙振华, 高传发, 任华锋, 南国梁

(许继电气股份有限公司, 许昌 461000)

摘要: 为提升继电保护产品性能, 设计了一种新型的微机继电保护平台. 采用 PowerPc 架构的处理器 MPC8309 作为保护和管理通信的主控芯片, 保护板和管理通信板分别设计, 具有独立的采样板, 板间采用高速以太网及 LVDS 信号进行数据交换. 软件系统分层次分模块设计, 采用 Nucleus 嵌入式实时操作系统. 本文结合具体的应用案例, 详细描述了该平台的软硬件设计方案, 以及设计过程中的关键点, 并对底层配置作了详细介绍. 该平台功能完善、稳定性好, 能够较好的满足保护装置的性能要求. 该平台适用于各种电压等级的电力设备继电保护测控装置的应用, 目前已成功应用于高压微机线路保护装置中.

关键词: 继电保护; 管理通信; PowerPc; MPC8309; UBOOT; Nucleus

New Microcomputer Relay Protection Platform Based on MPC8309

SUN Zhen-Hua, GAO Chuan-Fa, REN Hua-Feng, NAN Guo-Liang

(XJ Electric Co. Ltd, Xuchang 461000, China)

Abstract: To improve the performance of relay protection devices, a new microcomputer relay protection platform is designed. In this platform, MPC8309 based on PowerPc architecture is the core controller of the protection unit and the communication unit which are designed respectively, and a sampling board is designed independently. Boards are interconnected with high speed ethernet interface and LVDS. The software system based on Nucleus embedded real-time operating system is designed hierarchically and modularized. Combined with a specific application case, the hardware and software design of the platform are described in detail, with the key points in the process of design and the underlying configuration. The platform with perfect function and good stability can satisfy the performance requirements for protective devices. The relay protection platform is suitable for relay protection measurement and control device of power equipment of all kinds of voltage grade, and has been successfully applied to high voltage line protection devices.

Key words: relay protection; measurement and communication; PowerPc; MPC8309; UBOOT; Nucleus

随着电力建设的快速发展, 我国电网规模不断扩大, 电网结构日益复杂, 继电保护装置在电力系统中的作用显得越来越重要. 继电保护装置是电力系统的重要组成部分, 在系统发生故障时快速切除故障设备, 从而保证了电力系统的安全运行. 20 世纪以来, 伴随电力系统的不断发展, 特别是计算机、半导体技术的大力发展, 继电保护技术逐渐发展, 从电磁式保护装置到晶体管式继电保护装置, 到集成电路继电保护装置, 再到微机继电保护装置. 随着坚强智能电网建设

的大力推进、智能变电站和电网一二次技术融合的迅猛发展, 更是给微机继电保护装置的性能提出了更高的要求^[1,2].

本文设计了一种新型的基于 PowerPc 的微机继电保护平台. 为保证保护数据交换的实时性和保护功能的可靠性, 将保护功能和通信管理功能分开设计为 CPU 保护插件和 MMI 管理通信插件, 两者之间采用高速以太网通信进行数据交互. CPU 保护插件负责保护计算、保护逻辑判断、故障信息处理等^[3,4], MMI 管

① 收稿时间:2014-07-21;收到修改稿时间:2014-08-20

理通信插件负责与后台通信、人机交互等. 文中详细阐述了该微机继电保护平台的设计方案, 包括硬件体系结构的设计与实现以及系统软件平台的架构设计等, 并突出阐述了软硬件设计中的关键问题.

1 硬件方案的总体设计

本文以一种典型的线路保护装置为例, 说明整个系统的硬件构成. 该型超高压线路保护装置适用 220kV 及以上电压等级输电线路成套数字式保护装置, 主保护为光纤差动保护, 后备保护为距离保护及零序保护, 配置自动重合闸等. 装置硬件平台的总体框图如图 1 所示.

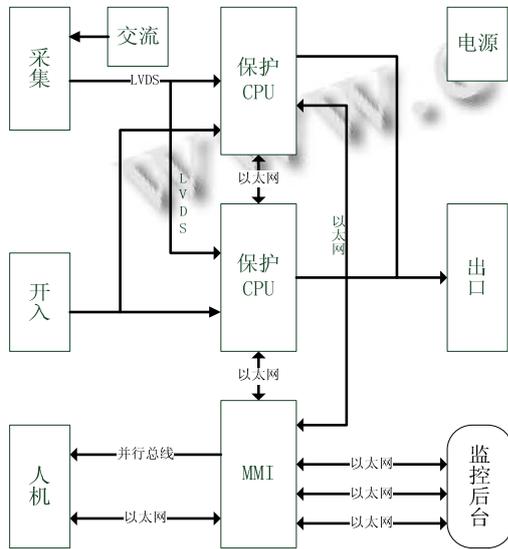


图 1 硬件平台的总体框图

装置采用插板式结构, 由 CPU 插件、通信管理插件、电源插件、交流插件、开入插件、出口插件、采集插件及人机面板组成, 各插件由背板实现互联.

装置有两个完全独立的、相同的 CPU 插件, 并具有独立的采样、逻辑计算、I/O、保护及控制等. 通信管理插件负责液晶显示、按键操作、打印、对时及与监控后台通信等功能. 采集插件实现了最多 96 路(通道数软件可配置)通道模拟量采集, 接收 CPU 的采样控制信号, 完成采样并将数据传给 CPU 处理. 开入插件提供装置的开入信号节点. 开出插件主要提供保护的出口接点、信号接点及遥信接点. 交流插件将系统电压互感器、电流互感器二次侧信号变换成保护装置所需的弱电信号, 同时起隔离和抗干扰作用.

综合考虑包括速度、功耗、功能及成本等多方面

的因素, 本方案 CPU 插件和通信插件均选用 freescale 的 PowerPc 架构处理器 MPC8309 作为核心控制芯片. MPC8309 具有以下特点^[5]:

- (1) 内核主频可达 417MHZ.
- (2) 具有 16K 的指令和数据缓存.
- (3) 16/32 bit DDR2 控制器, 具有 ECC 功能.
- (4) QUICC Engine 支持多种通讯协议.
- (5) 具有丰富外设接口.
- (6) 功耗低、价格便宜.

2 CPU保护插件设计

CPU 保护插件作为保护装置的核心单元, 主要负责完成数据采集与处理、保护算法的实现、出口逻辑以及开关量输入等功能. 其整体架构采用 PowerPc 处理器 MPC8309、配以高性能的 FPGA 芯片实现, 总体功能框图如图 2 所示.

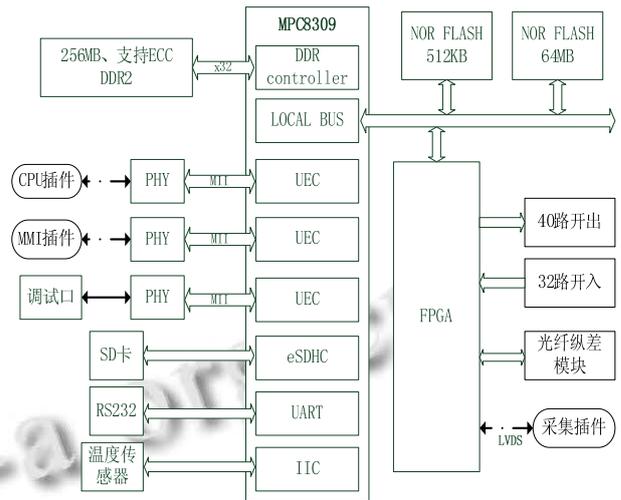


图 2 CPU 插件功能框图

2.1 CPU 保护插件功能实现

CPU 保护插件通过 DDR2 控制器实现 256MB 带 8 位 ECC 功能内存访问; 通过 local bus 外扩两片 NOR Flash, 512KB 的小容量 flash 用于专门存储 UBOOT 硬件引导程序, 64MB 的大容量 NOR flash 用于存储应用程序及数据; 另外预留了一个 SD 卡插槽. CPU 插件主要实现了以下功能:

- (1) 使用 MPC8309 QUICC Engine 的三个以太网 MAC 控制器, 外接 PHY 芯片 KSZ8041, 实现了三路 100M 以太网口. 其中, 一路经背板与另一块 CPU 插件连接, 实现双 CPU 之间的通讯; 一路经背板与 MMI

管理通信插件连接, 实现 CPU 与 MMI 之间的高速通信; 另一路引至插件的面板, 用作插件调试口。

(2) 通过 UART1 实现一路 RS232 串行接口, 打印 UBOOT 引导程序输出信息, 方便插件调试等。

(3) IIC1 外接测温芯片 ADT75ARZ, 实现对装置内部、插件周围环境温度的实时监测。

(4) 双通道光纤纵差通信接口, 完成分相电流差动保护的数据发送、数据接收、光电转换等功能。

(5) 最大 96 通道模拟量采集, 通道数通过软件实现灵活配置。

(6) 通过 FPGA 实现一路 B 码或脉冲定时通道, 支持软件解码或硬件解码。

(7) 32 路开入、40 路开出(24 路经启动闭锁、支持开出自检, 16 路可配置是否经启动闭锁)。

(8) 通过扩展插件扩展 48 路开出、144 路开入。

(9) GPIO 控制装置告警运行灯、插件运行灯, 模拟 FPGA 从串加载, 以及作为以太网 PHY 中断输入等。

2.2 设计中的关键点

(1) 通过 FPGA 实现了光纤纵差接口的链路层功能, 省去了使用专用光纤通信链路控制芯片, 节约了硬件成本。

(2) CPU 插件与采集板之间使用 LVDS 信号通信。LVDS 是一种低压差分信号技术接口, 传输速率高、距离远, 并且具有很强的抗干扰能力。采集插件接收 CPU 发来的采样启动信号, 完成转换后组帧发给 CPU 插件的 FPGA, FPGA 对数据作进一步的处理(重新组帧、差错控制等)后, 将数据压入 FIFO, 然后发出中断通知 CPU 读取采样数据。

(3) MPC8309 DDR 控制器带有 ECC 功能, 支持双位错误侦测及单位错误纠正, 设计中用一片 8 位 DDR 芯片实现 ECC 功能。由于装置受到外部干扰或其他不可预知的原因, DDR 数据某一位或几位数据发生错误时, ECC 功能能够发现并纠正错误, 以提高装置运行的可靠性, 降低装置误动概率, 避免由于装置误动而产生严重后果和重大损失。

(4) CPU 插件选用大容量的 NOR flash 来存储应用程序和数据。处理器对 NAND flash 的读写操作是按照页为单位的, 读写周期较长, 会影响到中断及实时性要求高的进程的响应速度, 而使用 NOR flash 则可以避免这种情况的发生。

3 MMI管理通信插件设计

MMI 管理通信插件作为继电保护装置的通信、人机接口管理单元, 主要担负着人机接口管理(按键、液晶显示)、信息打印管理以及与监控后台通信等功能。其设计实现也采用 PowerPc 控制器 MPC8309、配以高性能的 FPGA 芯片的整体架构, 总体功能框图如图 3 所示。

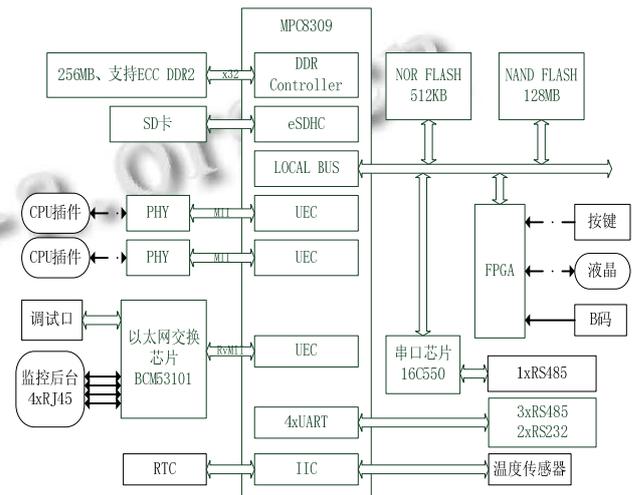


图 3 MMI 插件功能框图

3.1 MMI 管理通信插件功能实现

MMI 管理通信插件在 DDR2 内存访问部分的设计同 CPU 插件是一样的。MMI 同样采用一片小容量内存专门存储 UBOOT 程序, 不同的是选用了 128MB 的 NAND flash 来存储应用程序和数据。MMI 管理通信插件的一些功能模块的实现同 CPU 插件是一样的, 包括测温芯片、B 码、GPIO 的使用等, 除此之外主要实现以下功能:

(1) 7 路 100M 以太网口。其中两路通过 MPC8309 QUICC Engine 两个 UEC, 外接 PHY 芯片 KSZ8041 实现, 通过背板与两个 CPU 插件连接, 实现 MMI 同 CPU 插件通信。另 5 路通过另外一个 UEC, 外接 BCM53101 芯片实现, 可根据需要用于同监控后台通信、打印等, 其中一路用作插件调试。

(2) 同时在 IIC1 总线上接 FM31256 实时时钟芯片, 以获取装置的运行时间。

(3) MPC8309 具有两个 DUART 模块, 每个 DUART 模块都由两个 UART 组成, 通过 4 个 UART 实现了一路 RS232、一路 RS232/RS485 复用通道以及两路 RS485 接口。另外使用 TL16C550DIPFB 芯片,

通过 LOCAL BUS 外扩了一路 RS485 接口, 能够根据具体装置的需求, 满足插件调试、通信、打印等功能的需要. 这部分在有些装置上是不用的, 更多的是选择以太网口来实现, 保留这部分功能是考虑到与老一代装置的兼容性.

(4) MPC8309 的 LOCAL BUS 片选、数据线及部分地址线经 FPGA, 产生液晶控制信号, 键盘键值也通过 FPGA 读取.

3.2 设计中的关键点

(1) 按照需求, MMI 插件需要提供多达 7 路以太网口, 但是 MPC8309 只有 3 个以太网 MAC 控制器, 无法满足需要. 本方案中选用了功能强大的 BCM53101 以太网交换芯片, 扩展了五路以太网接口. MPC8309 以太网 MAC 与 BCM53101 之间采用 RvMII 方式连接.

(2) 考虑到该插件不像 CPU 插件某些中断或进程要求很快的响应速度, 且 NAND flash 容量可以更大, 价格也相对便宜, 故该插件没有用 NOR flash, 而是采用 NAND flash 存储应用程序和数据.

(3) MMI 和 CPU 插件的 FPGA 均采用从串加载方式, 通过 MPC8309 的 GPIO 模拟串行总线时序, 实现程序的加载引导过程. 这样可以简化产品生产流程, 降低人力物力成本(烧写程序、仿真器、串行 flash 芯片等), 而且也有利于 FPGA 程序的版本控制.

4 平台软件设计

4.1 软件系统的总体结构设计

在进行该继电保护平台的软件开发中, 软件系统的总体结构设计采用分层设计和模块化处理相结合的设计思想. 本系统的软件总体结构如图 4 所示.

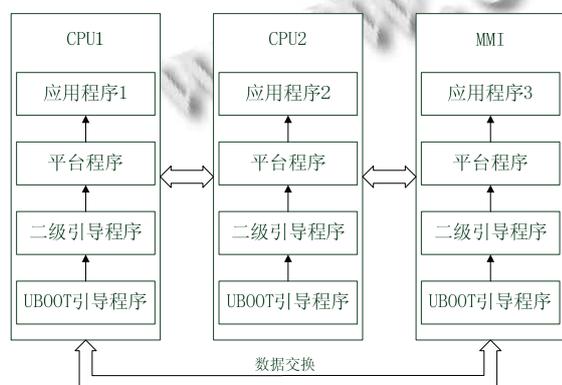


图 4 系统软件总体结构

软件系统主要分为以下几层: 最底层为引导程序,

负责上层程序的加载引导工作; 中间层设计为统一的软件平台, 可以满足不同保护装置的各种需求, 通用性较强; 上层为实现保护测控等功能的应用程序.

UBOOT 用于对处理器及板上相关硬件进行初始化, 建立地址存储空间的映射关系, 为操作系统及应用程序的运行创造一个合适的运行环境, 并完成对应用程序的引导加载, 具体到本系统中为对二级引导程序的加载.

二级引导程序主要实现了以下功能: 初始化文件系统; 初始化 TCPIP 协议栈, 创建网络运行环境; 支持 TFTP 协议, 方便下载程序到板上 FLASH; 加载平台及应用程序等模块. 二级引导程序的设计方便了程序的下载, 实现以文件的形式灵活地对各程序模块的引导加载. 它有两种运行模式: BOOT 和 RUN, 通过一个跳针接到处理器 GPIO 加以区分. 跳针打到 BOOT 时, 程序不进行引导, 这时可以下载程序等; 程序下载完后将跳针打到 RUN, 重新上电实现对程序的加载.

CPU 和 MMI 插件使用统一的平台程序, 为应用程序提供通用接口程序. 平台程序分模块设计, 包括平台模块、网关模块、驱动模块、人机接口模块.

应用程序根据保护测控装置的需求设计, CPU 插件和 MMI 插件分别设计各自的应用程序. 同一台装置中不同的 CPU 插件可以采用不同的应用程序实现不同的功能.

本系统采用 Nucleus 实时操作系统. Nucleus 的核心 Nucleus PLUS 是一个实时多任务内核. Nucleus PLUS 约 95% 的源码是用 ANSI C 编写的, 具有很好的可移植性, 可以用于绝大多数的微处理器^[6,7].

4.2 UBOOT 引导程序设计中的关键点

UBOOT 为开放源码的通用引导程序, 支持多种体系架构的处理器, 尤其对 PowerPc 架构的系列处理器支持最为丰富^[8,9]. 本系统的 UBOOT 引导程序是基于 freescale 的开发板所提供的引导程序, 根据具体的硬件需求进行的重新设计. 设计中主要有以下几个关键点:

(1) 复位配置字设计

复位配置字用来配置时钟速率和引导位置、大小端模式等基本的设备功能. 复位配置字在上电复位或硬复位过程中, 可以从 NOR FLASH、NAND FLASH、I2C 接口加载或者使用硬编码值, 存入 RCWLR 和

RCWHR 两个寄存器中^[5]。

本系统中 CPU 和 MMI 的复位配置字位于 NOR FLASH SST39VF040 的前 64 个字节。通过 CFG_RESET_SOURCE[0:3] 四个引脚, 将处理器设置为上电从 NOR FLASH 引导。上电复位时, 处理器从 NOR FLASH 中读配置字到 RCWLR、RCWHR 寄存器中, 完成上电配置过程。复位配置字主要完成了以下配置: 平台系统时钟及 QUICC Engine 时钟, 采用独立的外部晶振, 均为 33.3MHz, 通过各自的 PLL 产生 166.6MHz 的系统时钟、417MHz 的内核时钟及 233MHz 的 QUICC Engine 时钟; DDR 及 LOCAL BUS 的时钟模式; 处理器配置为大端模式; 引导空间及引导位置配置为从 NOR FLASH 引导。

(2) LOCAL BUS 的配置

LOCAL BUS 配置主要是通过各 BANK 的 BR、OR 寄存器配置各 BANK 的起始地址、空间大小、访问位宽、访问方式及时序参数等^[5]。时序参数要严格按照 LOCAL BUS 外部所连接的外部设备的具体要求设置, 同时兼顾系统的性能。访问时序的设置要即可以满足芯片的要求, 又要最大限度地提高性能, 并留有一定的裕量, 保证系统稳定性。本系统 LOCAL BUS 外接的设备包括 NOR FLASH、NAND FLASH、FPGA 及液晶等模块, 设计各 BANK 的访问时序参数时要综合考虑这些器件的要求, 以达到最优的效果。

(3) DDR 控制器初始化

DDR 控制器的配置参考处理器厂商提供的 DEMO 板的配置, 结合本系统 DDR 芯片的具体要求。DDR 控制器操作时序配置直接关系到系统的性能好坏和系统能否稳定可靠的运行。

(4) QUICC Engine 内核的加载

QUICC Engine 是一个基于 RISC 的独立的通信处理模块(CPM)^[10], 通过微码支持多种通信协议和功能(以太网、HDLC、UART 等)。本系统设计中用到了其提供的三个 UEC 以太网控制器, 支持 10/100Mbps、MII 和 RMII 接口。QUICC Engine 的微码是为实现各种通信协议和功能而执行的一段程序, 可以从 ROM 或 iRAM 执行。MPC8309 的 QUICC Engine 只支持从 iRAM 执行, 故需要在程序里将微码下载到 iRAM 中^[11]。在 MPC8309 的 BSP 里提供了 bin 文件格式的微码^[12], 本设计中在 UBOOT 编译完成之后将微码的 bin 文件与 UBOOT 的目标文件合并为一个文件, 方便使用和

程序下载。微码位于 UBOOT 目标文件的固定偏移地址处, 在 UBOOT 中通过调用相应微码加载程序, 将微码加载到 iRAM 中。

5 结语

本平台采用 PowerPc 架构的 MPC8309 处理器作为保护和通信的主控制芯片, 充分利用了其数据处理能力、强大的通信处理能力和丰富的接口外设, 同时配以高性能的 FPGA 芯片, 较好的满足了保护测控装置的设计需求, 相对于老一代产品性能上有了很大提升, 达到了产品更新换代的预期效果。在板上还预留了 CAN 通信接口, 为装置内部互联提供更加智能化、统一化的解决方案, 为产品的进一步升级优化提供支撑。同时, 统一的、分层分模块的软件架构、可视化的开发工具提高了软件的设计开发效率, 缩短了产品的研发周期, 使产品能够更快的推向市场。

参考文献

- 1 李响, 刘国伟, 冯亚东, 李九虎. 新一代控制保护系统通用硬件平台设计与应用. 电力系统自动化, 2012, 36(14): 52-55.
- 2 黎强, 李延新. 基于数字化变电站的系统保护装置设计. 电力系统自动化, 2009, 33(18): 77-81.
- 3 朱声石. 高压电网继电保护原理与技术(第 2 版). 北京: 中国电力出版社, 1995. 1-14.
- 4 王海燕, 徐云燕, 王世云, 崔志国. 一种基于 DSP+MPC 的数字化保护测控装置. 电力系统自动化, 2010, 34(9): 112-115.
- 5 Freescale Semiconductor. MPC8309 PowerQUICC II Pro Integrated Communications Processor Family Reference Manual. Rev. 1, 11/2012.
- 6 Accelerated Technology. Nucleus PLUS Internals. 6/1999.
- 7 Accelerated Technology. Nucleus PLUS Reference Manual, 6/1999.
- 8 郭锋, 袁国良, 王丽芳. 嵌入式 Linux 引导加载程序分析与设计. 信息技术, 2011(11): 123-125.
- 9 王亚刚. 嵌入式 Bootloader 机制的分析与移植. 计算机工程, 2010, 36(6): 267-269.
- 10 Freescale Semiconductor. QUICC Engine Block Reference Manual with Protocol Interworking, Rev. 4.5, 11/2013.
- 11 Freescale Semiconductor. Downloading Microcode On QUICC Engine Block-Enabled Devices, Rev. 1, 04/2010.
- 12 Freescale Semiconductor. BSP Targeting the Freescale MPC830xSOM Board User's Guide, Rev. 1, 04/2010.