

微弱信号的高精度数据采集系统^①

殷广冬^{1,2}, 王建立¹, 孟浩然¹, 万宏^{1,2}

¹(中国科学院 长春光学精密机械与物理研究所, 长春 130033)

²(中国科学院大学, 北京 100039)

摘要: 针对加速度计输出信号微弱的特点, 提出了一种基于 TMS320F28335、CPLD 以及 AD7760 的高精度数据采集系统设计. 加速度计的输出信号经过信号调理电路后进入 24 位精度 AD7760 完成模数转换, DSP TMS320F28335 作为主控制器, 辅以 CPLD 完成对 AD7760 转换数据的读取操作, 并将数据通过串口发送到上位机. 详细介绍了系统的硬件电路设计, 包括信号调理电路以及 ADC、CPLD、DSP 之间的接口电路设计, 并介绍了系统的软件设计. 实验结果表明, 设计的数据采集系统能够完成微弱信号的数据采集任务.

关键词: 微弱信号; AD7760; DSP; CPLD; 数据采集

High Precision Data Acquisition System for Weak Signal

YIN Guang-Dong^{1,2}, WANG Jian-Li¹, MENG Hao-Ran¹, WAN Hong^{1,2}

¹(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

²(College of the Chinese Academy of Sciences, Beijing 100039, China)

Abstract: According to the weak characteristic of the output signal of accelerometer, we design a high precision data acquisition system based on TMS320F28335, CPLD and AD7760. The output signal of accelerometer after signal conditioning circuit go into 24 bit precision AD7760 to complete analog to digital conversion, DSP TMS320F28335 as the main controller control CPLD to read and write AD7760, DSP also send the collected data to the PC via the serial port. This paper introduces the design of system hardware in detail, including the signal conditioning circuit and the interface circuit between ADC, CPLD and DSP. This paper also introduces the software design of the system. The results of experiment show that, the data acquisition system designed can compete the task of acquiring weak signal.

Key words: weak signal; AD7760; DSP; CPLD; data acquisition

1 引言

在用高灵敏度的加速度计测量机械装置振动中, 加速度计输出信号的精确检测直接影响到振动信号的测量精度, 因此对加速度输出信号的高精度采集尤为重要. 传统的加速度计信号的检测主要采用 I/F 变换检测技术, 测量精度够高, 但电路结构复杂, 不适合惯性测量装置的小型化^[1]. 因此, 本文提出一种基于 AD7760、TMS320F28335 和 CPLD 的数据采集系统设计, 能够完成高精度、高速和实时性的数据采集任务.

2 系统设计及主要器件介绍

数据采集系统的硬件结构如图 1 所示, 输入信号进入信号调理电路, 完成模拟信号的放大和滤波, 其输出进入 AD 转换器 AD7760 实现模数转换. AD7760 的转换过程由 CPLD 控制, DSP TMS320F28335 作为主控制器, 控制 CPLD 完成数据读取过程, 并将采集到的数据通过串口发送到上位机, 供后续处理分析, 数字信号的处理可以在 DSP 中完成.

AD7760 是一款高性能、24 位 Σ - Δ 型模数转换器 (ADC), 融合了宽输入带宽、高速特性与 Σ - Δ 转换技术

^① 收稿时间:2013-07-29;收到修改稿时间:2013-08-23

的优势, 2.5MSPS 时信噪比(SNR)可达 100dB, 因此非常适合高速数据采集应用. 宽动态范围以及显著降低的抗混叠要求, 使设计过程得以简化. AD7760 内置用来驱动基准电压的缓冲、用于信号缓冲和电平转换的差分放大器、超量程标志、内部增益与失调寄存器以及低通数字 FIR 滤波器, 是一款高度集成的紧凑型数据采集器件. TMS320F28335 是一款 32 位单精度浮点 DSP, 主频可达 150MHz, 内核电压为 1.9V, IO 口电压为 3.3V; 片内带有 256K×16 的 Flash 存储器, 34K×16 的 SARAM; 1K×16 的 OTP(一次性可编程)ROM; 16 位或 32 位的外部接口(XINTF); 串行接口外围为 2 通道 CAN 模块、3 个 SCI(UART)模块、2 个多通道缓冲串行接口 McBSP 模块(可配置为串行外围接口 SPI)、1 个 SPI 模块、一个集成电路(I2C)总线^[2].



图 1 系统硬件框图

3 系统硬件设计

3.1 信号调理电路

加速度计输出的微弱信号, 易受外界干扰产生混叠等现象, 设计的信号调理电路用来实现信号的放大和滤波.

在实际工程中, 各种类型的集成运算放大器已被广大工程设计者视为首选器件. 选择放大器的基本原则是根据信号源和数据采集系统的实际功能和要求, 确定放大器的增益、带宽、输入阻抗、共模抑制比(CMRR)、转换速率和建立时间等指标^[3]. 本次设计选择低噪声、低输入温漂, 低输入偏置电压的高速运算放大器 AD8021 来实现增益为 1-11 倍的信号放大, 增益的调节用一个电位器来实现.

普通硬件有源滤波器由运算放大器和 R、C 组成, 虽然比较容易实现, 但参数调试困难, 而且当工作频率较高时, 元件周围的杂散电容将会严重影响滤波器的特性, 使其偏离预定的工作状态^[4-5]. 为了解决上述问题, 系统采取了集成有源滤波芯片 MAX274/275 来实现滤波器的设计.

3.2 AD7760、CPLD 与 DSP 的接口电路

AD7760 可以配置为调制器数据输出模式和传统输出模式, 调制器数据输出模式, 数据直接从调制器

输出, 这种工作模式可旁路 AD7760 的片上数字滤波部分, 以未经滤波的形式输出数据, 一般输出数据速率要求不高时, 将接口以传统输出模式工作, 使用 16 位双向并行接口, 本设计中采用传统输出模式.

AD7760 的模数转换过程由 DSP TMS320F28335 控制信号通过 CPLD 内部的状态机提供 AD 采样所需的驱动信号, 3 者之间的接口电路如图 2 所示.

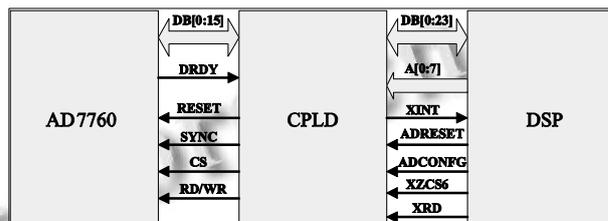


图 2 AD、CPLD 和 DSP 的接口电路

其中 CPLD 选用的是 Altera 公司 MAX II 系列的 EPM570T100C5, 其功耗很低, 可以简化外围电路, 时序控制精确, 共有 76 个通用 I/O 口, 能够达到预期要求.

TMS320F28335 外部接口(XINTF)的 XZCS6 和 XRD 信号与 CPLD 连接, 这样 0x100000~0x200000 的任意一个地址都可读取 AD 转换结果. AD7760 的复位信号 RESET 经 CPLD 配置到 DSP 的一个 I/O 引脚 ADRESET, 通过 DSP 程序控制 AD 的复位. DSP 给 CPLD 的 ADCONFG 信号控制 CPLD 产生对 AD7760 的写操作, 配置 AD7760 正常工作状态. DRDY 是 AD7760 输出的数据准备就绪信号, 表示可以读取转换数据, 当转换数据读取结束后, CPLD 产生一个 XINT 信号输出给 DSP, DSP 接收到 XINT 信号进入中断, 完成数据的读取, 数据处理和发送.

4 系统软件设计

4.1 DSP 程序设计

DSP 程序作为主控制程序, 其主要完成数据的读取和处理运算, 并将处理后的数据通过片上自带的串口发送至上位机, 程序流程如图 3 所示.

其中 DSP 初始化模块主要实现的功能是将运行实时信号处理程序所需要的片内各功能模块初始化, 这主要通过配置各个模块的控制寄存器来实现. AD 初始化程序主要实现 AD 芯片的复位和配置功能, 这通过控制 CPLD 完成. 数据的读取可以直接从 XINTF 的数据总线上读取, 并通过 3 次串口发送, 将 24 位转换数

据发送到上位机。

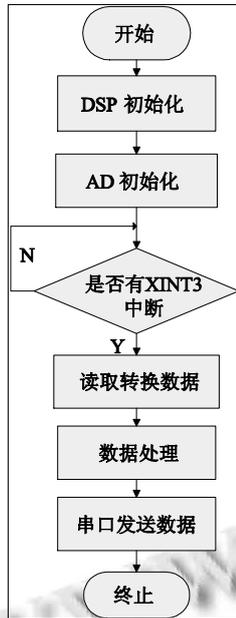


图 3 DSP 数据采集程序流程图

4.2 CPLD 程序设计

CPLD 主要完成对 DSP 指令的译码, 直接控制 AD7760 读写时序, 完成模数转换过程. 读写周期程序用有限状态机(FSM)设计完成其状态转移图如图 4 所示.

如图 4 所示, n 是一个内部计数器, CPLD 时钟频率为 50Hz, AD 输入时钟频率为 10Hz, n=45 相当于 9 个 AD 输入时钟周期. cs, rd 分别为 CPLD 输出给 AD 的片选和读写信号, adconfig, drdy 为外部输入信号, 分别为 DSP 输出的 AD 开始配置信号和 AD 输出的数据准备就绪信号. 当系统上电时, DSP 给出 AD 复位信号, 状态机处于 idle 状态. 复位结束后, 当检测到 adconfig 为

高电平, 则开始对 AD 进行配置, 配置过程中对 AD 进行 4 次写操作, 配置 AD 控制寄存器 1 和控制寄存器 2, 每个写操作之间都有一段空闲时间. 配置具体过程为: wr1 状态写入控制寄存器 2 地址, wr2 状态写入控制寄存器 2 配置信息, 完成控制寄存器 2 的配置; wr3 状态写入控制寄存器 1 地址, wr4 写入控制寄存器 1 配置信息, 完成控制寄存器 1 的配置. 配置结束后, DSP 置位 adconfig 为 0, 配置完成, AD 开始工作, 进行模数转换. 当检测到 drdy 为低电平时, 表示有转换结果可以读取, 进入第一次读操作 rd1, 读取 24 位转换结果的高 16 位, 经过一个空闲状态 s, 进行第二次读操作 rd2, 读取 24 位转换结果的低 8 位, 并产生中断信号输出给 DSP, DSP 通过响应中断读取 AD 转换结果.

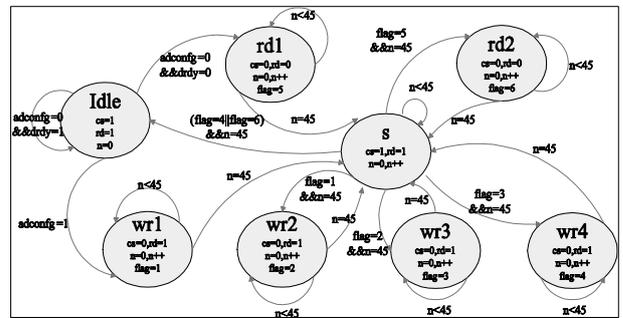
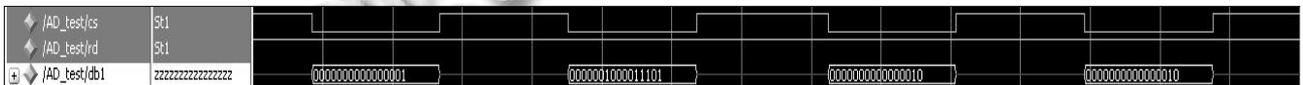


图 4 CPLD 读写 FSM 状态转移图

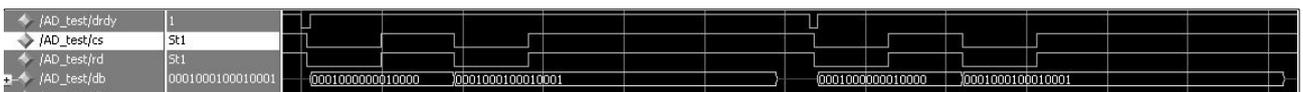
5 仿真与实验

5.1 CPLD 程序仿真及结果分析

编写实现 AD 控制状态机的 VerilogHDL 程序^[6-7], 利用 ModelSim 进行时序仿真, 仿真结果波形如图 5 所示.



(a) 仿真写时序



(b) 仿真读时序

图 5 仿真结果波形图

图 5(a)是仿真开始时对 AD 进行配置的写时序, 共进行了 4 次写操作; 图 5(b)是配置结束后, AD 工作

时, CPLD 对 AD 的读时序, 一次的数据转换结果读取包含两次的读操作. 从仿真结果来看, 设计的 CPLD

程序能够实现预定的功能。

5.2 实验及结果分析

实验过程中，将标准的正弦信号输入到设计的数据采集系统中，输入信号幅值为 20mV，频率为 5Hz，系统设计的采样频率为 2KHz，采集到的信号结果如图 6 所示，标准的输入信号如图 7 所示。

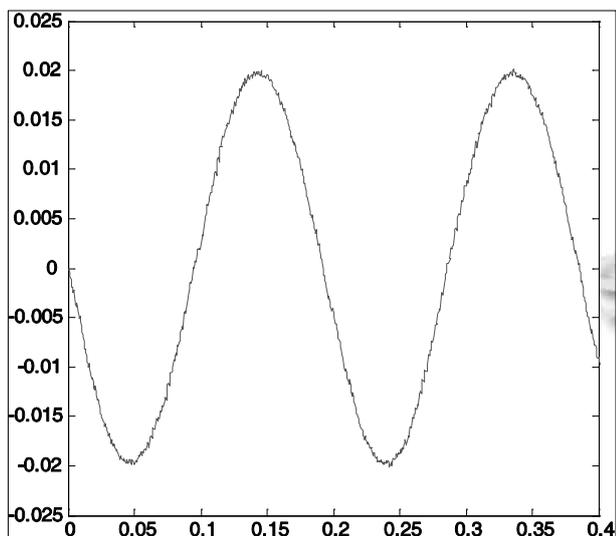


图 6 系统采集到的信号

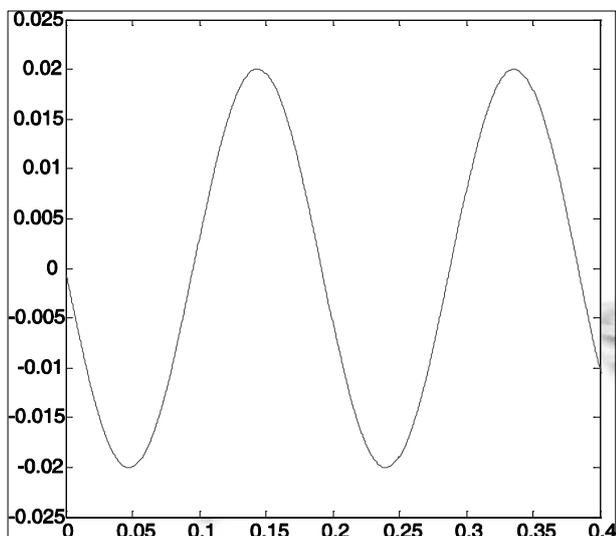


图 7 输入正弦信号

对比图 6 与图 7，可以看出设计的数据采集系统能够正确地采集到输入信号，当然采集到的信号有一定的毛刺，是由系统噪声以及外界干扰引起的。

在用压电加速度计测量大口径望远镜系统的抖动试验中，望远镜的抖动信号可以看做一个微弱的随机干扰信号，加速度能够达到 10-3g 以下，加速度计的输

出电压很小，设计的数据采集系统能够实现此微弱信号的采集，结果如图 8 所示。

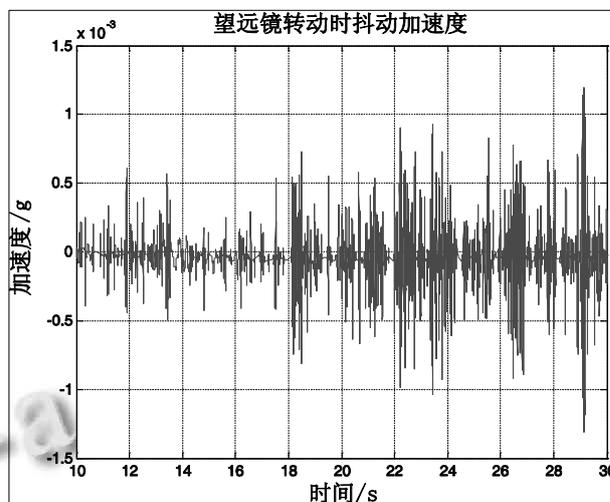


图 8 采集到的抖动加速度

6 结语

本文针对加速度计输出的微弱信号，在高速高精度的 24 位 AD 转换器 AD7760 基础上设计了以 DSP TMS320F28335 为核心控制器的数据采集系统。此系统中 DSP 作为主控制器，控制 CPLD 中状态机提供 AD7760 工作所需的驱动信号，并对转换数据进行读取。同时 DSP 中可以对数据进行相关处理操作，并将处理后的数据通过串口发送到上位机。经过实验表明，设计的高精度数据采集系统能够正常运行，可以实现微弱信号的采集功能。

参考文献

- 1 钱卫忠,万德钧.捷联系统中陀螺仪数据采集器的设计.东南大学学报,1999,(4):22-25.
- 2 刘陵顺,高艳丽,张树团,等.TMS320F28335 DSP 原理及开发编程.北京:北京航空航天大学出版社,2011:1-2.
- 3 Mike Ewer.如何为高性能信号路径挑选放大器、模拟/数字转换器及时钟电路.电子技术应用,2007,(12):23-27.
- 4 于春香.MAX274 有源滤波器的设计用.集成电路通讯,2007,25(2):12-15.
- 5 李述君,王嘉鑫,那健.振动加速度计信号滤波模块设计.舰船科学技术,2009,31(10):90-92.
- 6 夏宇闻,胡燕祥,刁岚松等译.Verilog HDL 数字设计与综合.北京:电子工业出版社,2010.
- 7 王诚,薛小刚,钟信.FPGA/CPLD 设计工具——Xilinx ISE 5.X 使用详解.北京:人民邮电出版社,2003:300-320.