

基于 SOPC 的图像解压缩系统^①

王 艳, 秦江云

(重庆大学 通信工程学院, 重庆 400044)

摘 要: 针对目前利用软件解码图像不能满足实时性要求的现状, 提出了一种基于 FPGA 片上系统 (SOPC) 的 JPEG 图像解压缩系统设计方案。主要介绍了 JPEG 图像解压缩算法的硬件实现方法和系统的工作原理以及具体实现。结果表明, 该系统能够加快图像的解码速度, 解码一幅 640×320 图像仅需要 21.3ms, 实时的实现了图像的解码。

关键词: 片上可编程系统; FPGA; JPEG 图像; 解压缩

Decompression System Based on SOPC

WANG Yan, QIN Jiang-Yun

(College of Communication Engineering, Chongqing University, Chongqing 400044, China)

Abstract: The method of using software to decoding image cannot satisfy the timely request. This paper proposes a system design plan of JPEG image decompression. It mainly gives the JPEG image decompression algorithm's hardware realization and system's principle of work as well as the hardware realization. The result indicates that this system can speed up the decoding speed of image only with 21.3ms when decoding a 640×320 image. It realizes the image decoding timely.

Keywords: SOPC; FPGA; JPEG imag; decompresson

1 引言

随着我国筹备物联网的建设, 高速图像处理技术的应用领域不断扩大, 对图像处理的要求也越来越高。微电子技术的迅猛发展为高速图像处理系统提供了硬件集成, 其中内嵌软核处理器的现场可编程门阵列 (FPGA) 满足了图像处理系统中对速度、集成度、可靠性的要求。使用 FPGA 来构建基于片上可编程的图像处理系统, 充分利用 SPOC Builder 中自带的各种 IP 核控制器, 减少底层硬件的开发, 已经成为一种发展趋势^[1]。

SOPC 的主要思想是提供一个 IP 库, 用户从 IP 库中选择组件来组装系统。但是在很多情况下供应商提供的 IP 库中的组件不能满足系统需求, 这时就需要用户自定义 IP 组件来实现系统所需功能。

本文使用 SOPC 的设计方法, 利用嵌入 NIOS 软核的 FPGA 产品, 提出了 JPEG 图像解压缩系统的设

计方案, 实现了系统软硬件的可编程。

2 SOPC 技术及用户组件的设计方法^[2]

SOPC 是 Altera 公司提出来的一种灵活、高效的 SOC 解决方案。它将处理器、存储器、I/O 口等系统设计需要的功能模块集成到一个可编程器件上, 构成了一个可编程的片上系统。SOPC 有个尤为重要的功能: 在进行 SOPC 设计时, 如果用户有特殊功能要求, 但 IP 库中没有, 则用户可以加入自定义的 IP 组件来实现。

定制用户 IP 核有两种可行的方法: 一种是 SPOC Builder 提供的元件编辑器在图形用户界面下将用硬件描述语言描述的用户逻辑封装成一个 SOPC Builder; 另一种是在 Altera 提供的元件的基础上进行修改。

一个用户 IP 组件典型的由硬件文件、软件文件、组件描述文件组成。其中, 硬件文件是描述组件硬件

① 收稿时间: 2010-07-21; 收到修改稿时间: 2010-08-23

的 HDL 模块,是设计的主要内容,包括的功能模块有:任务逻辑、寄存器文件和 Avalon 接口。软件文件主要定义元件寄存器的头文件和软件驱动。

3 JPEG图像解压缩硬件设计

本组件完成的功能是:对传输过来的压缩码流进行熵解码和反量化,进行反 Z 扫描后再进行反向 DCT 变换,最后进行彩色空间变换,重构出图像。在这个硬件结构里,最重要的子模块是熵解码和 IDCT 变换。

3.1 熵解码和反量化

JPEG 标准中熵编码采用的是 Huffman 编码。由于 Huffman 是变长编码,如果采用串行解码,则不能满足实时系统的速度要求。因此,本设计采用适合于硬件实现的浓缩 Huffman 表法。其算法流程如下:

(a) 读取头文件中的 4 个查找表和 2 个量化表,并对查找表重新进行构造。将码字按码长从小到大排列,并将同一码长集中的码字按照从小到大排列。最后将排列后的码字所对应的原始编码符号进行存储。同时为方便码长的判断,同时存储各长度对应的最小码字的表。

(b) 解码时,首先读取由编码和数值两部分组成的数据流,判断出码长后,查表获得量化系数和编码符号对应的权值,权值的高 4 为表示当前数值前面零的个数 m ,低 4 位表示该分量数值的二进制位数 n 。

(c) 对 0 系数进行运算毫无意义并且会增加功耗,因此笔者将反量化集成到熵解码模块。当 n 不等于 0 时,读取 n 为二进制码流,与步骤(b)查表得到的量化系数进行相乘,则完成了反量化的过程。

3.2 IDCT 变换

对量化过的像素进行反 Z 扫描,得到 8×8 的数据块。图像数据是编码时通过正向离散余弦变换得到的结果,解码时必须将其反向余弦变换,将数值向时域转换。目前,用硬件实现的快速算法的普遍思想^[3,4]是把 2D-IDCT 分解成两个 1D-IDCT,再在 1D-IDCT 做快速算法,但是这样做会占用过多的芯片资源。本文采用分时复用的方法,用一个 1D-IDCT 模块实现二维余弦变换,其总体结构如图 1 所示。

对于一维 IDCT,本文采用经典的陈氏算法。由于其算法具有清楚的分级结构,可以采用流水线结构的设计方法来提高解码速度。对于陈氏算法,采用 4 级流水线可以实现一维 IDCT 算法,该设计可以减少乘法器的使用,由原来的 22 个减小到 6 个,大大节约了逻辑资源。

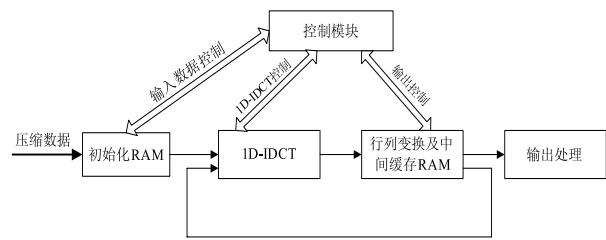


图 1 IDCT 变换结构框图

4 图像解压缩系统实现

4.1 系统工作原理

本设计系统将原始图像通过 SRAM 控制器存储在 SRAM,待需要时 NIOS 处理器系统从 SRAM 中读取图像数据送入 FPGA 中的 JPEG 解压缩模块进行实时解码,解码后的 RGB 空间数据存储在 SDRAM 中,待 VGA 控制器发出读有效信号,SDRAM 将数据传送给 VGA 控制器,VGA 控制器同时产生 VGA 的行场同步 VGA_HS 和 VGA_AS 会同 RGB 数据一起传送到视频编码芯片,最后通过显示器将图像实时显示出来。

考虑到嵌入式系统内存配置较小,没有足够内存解码显示 JPEG 大图片的问题,本设计采用边解码边显示的方法来解决这一问题。

4.2 系统实现

系统的硬件平台提供了软件的运行平台和通信接口,是系统的物理基础,它的优劣是软件能否顺利运行的关键^[5]。系统的总体框图如图 2 所示。

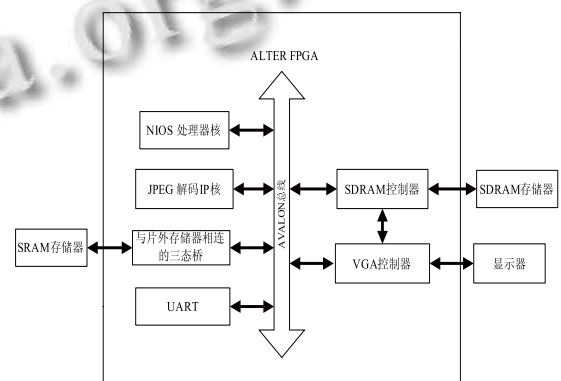


图 2 系统结构框图

该系统通过 AVLAON 总线模块对外设进行控制和数据交换,FPGA 芯片采用 Altera 公司的 CycloneII EP2C8Q208C8,分别采用一片 SDRAM 和 SRAM 通过 SOPC 系统的 SDRAM 控制器和 SRAM 控制器作为系

统的存储设备。系统所需的 SDRAM、VGA、UART 等接口，均能够应用 Altera 提供的 IP 核来实现。借助系统级设计工具 SOPC Builder，大大降低了设计难度。

本系统的目的是通过 FPGA 硬件芯片来完成 JPEG 图像的实时解码，因此需要将 JPEG 解码模块以自定义外设的方式添加到系统中，按照 AVALON 总线协议的要求设置接口，以便接收 NIOS 处理器的控制指令和数据。接口设置如下：clk 为全局同步时钟，DataInRead 是握手信号，当为高时，向外设发送数据请求。DataInEnable 有效时，表示当前传送的是有效的数据，IP 核开始接收图像码流 DataIn。为了提高图像的解码速度，数据宽度设计成 32 位。当头文件分析完成后，IP 发送 ImageEnable 信号，为 1 时表示开始正式图像解码，接下来 huffman 解码，IQ 和 IDCT，最终输出 3 个 8 位的 RGB 数据，输出数据只有在 OutEnable 为高时有效，当最后一个码流结束后，输出 JPEGIDLE 信号。

JPEG 解码 IP 核的输入输出时序分别如下所示：

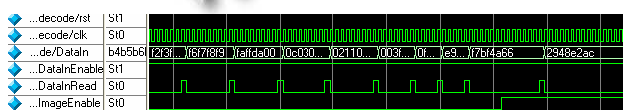


图 3 输入时序图

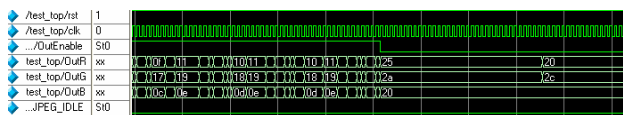


图 4 输出时序图

SDRAM 控制器实现处理器，VGA 控制器和 SDRAM 之间的图像数据存取。由于 VGA 直接从 SDRAM 中读取数据，所以将 VGA 的 avalon_master 接口连接到 SDRAM 上，当 VGA 控制器发出读有效信号到 SDRAM 中是，SDRAM 直接将图像数据传送给 VGA 控制器，VGA 控制器同时产生行场同步信号，与 RGB 数据一起传送到显示器。SDRAM 采用 ICSI 公司的数据宽度为 16 位，存储容量为 64M 的 IS42S8800 来存储解码后的图像数据。解码后的 RGB 数据为 24 位宽，为了和 SDRAM 匹配，取 R 为 5 位，B 为 6 位，G 为 5 位。

组件添加完成后，系统为每个组件自动分配地址，设置系统的复位向量和异常处理向量，生成 NIOS 系统。在顶层工程中添加该模块，将硬件设计下载至 FPGA 开发板后，接下来就可以建立在硬件上运行的软件模型^[6]。

4.3 系统性能分析

系统时钟设置为 50MHz，在 Quartus 下进行综合和仿真，采用 CycloneII EP2C8Q208C8 硬件芯片来实现图像解码。笔者以一副 640×320 的图像为例给出了软硬件处理时间对比情况，如表 1 所示。

表 1 软硬件处理时间对比

实现方式	FPGA 硬件	PC 机软件
Huffman 解码	13.440 ms	1.113 s
IDCT 变换	3.200 ms	2.24 s
640×320 图像	21.3 ms	3.4 s

由上述数据可知，硬件解码相对于软件速度有了上百倍的提高。并且 Huffman 解码在图像解码中耗费了比较多的时间，对这部分选择合适的算法并对其进行优化，有利于进一步提高解码速度。

5 结束语

针对软件解码图片速度慢不能满足实时性要求的问题，本文采用硬件来实现 JPEG 图像解码。将现在主流的 SOPC 技术引入到设计中，构建了一个基于 SOPC 的图像解压缩系统。该设计通过定制软 IP 核，将 JPEG 解码模块和微处理器集成到一块 FPGA 芯片上，较好的实现了实时图像数据处理所要求的实时性。同时，利用 IP 核的可重用性，本系统中设计的 JPEG 硬件解码模块，可以嵌入到其他需要实时图像解码的系统中。

参考文献

- 1 聂孟庆,余愚.基于 SOPC 的实时图像存储系统的设计.中国集成电路,2009,10(125):64-68.
- 2 李兰英,等.NIOS 嵌入式软核 SOPC 设计原理及应用.北京:北京航空航天大学出版社,2006:445-447.
- 3 司马苗,周源发.基于 FPGA 的二维 DCT 变换的实现.红外与激光工程,2003,32(3):436-439.
- 4 钟文荣,陈建发.二维 DCT 算法的高速芯片设计.厦门大学学报(自然科学版),2005,43(3):198-201.
- 5 李宝刚,孟令军,等.基于 NIOS 的 JPEG 图像压缩系统平台设计.通信技术,2010,43(3):142-143,146.
- 6 黄亮,杨景常.基于 SOPC 的 TFT 触摸屏显示系统设计.液晶与显示,2009,24(5):718-722.