

# Blackfin DSP 嵌入式图像数据采集机制设计<sup>①</sup>

方 亮 彭楚武 袁 芳 (湖南大学 电气与信息工程学院 长沙 410082)

**摘 要:** 针对 Blackfin Dsp 媒体信号处理器硬件资源, 着重分析了 SDRAM 上数据总线的冲突问题, 并且提出了解决方案, 在软件架构上提出了利用 Blackfin DSP 自带的已经封装好了的 API 功能函数, 实现了对 CMOS 图像传感器以及 DSP 内部资源的配置, 试验表明采集程序稳定性高, DSP 功耗更低, 更加节省 SDRAM 的传输带宽, 能够满足实时图像采集和编码的要求。

**关键词:** 图像采集; DSP; 编码; SDRAM; API

## Design of Blackfin DSP Embedded Image Data Capture Mechanism

FANG Liang, PENG Chu-Wu, YUAN Fang

(College of Electrical and Information Engineering, Hunan University, Changsha 410082, China)

**Abstract:** About the hardware resources of media signal processor, this paper especially analyze the collision' problems on the data bus of SDRAM, and put forward solutions about it .meanwhile it also make use of functions encapsulated in function storeroom of Blackfin DSP to realize the register configuration of CMOS image sensor and ADSP—BF533. the experimental results show that the program is more stabilization, the power consumption of DSP is lower ,and more saving transimission bandwidth of SDRAM. It satisfy the requirments of real—time image collection and coding system.

**Keywords:** image capture; DSP; coding; SDRAM; API

## 1 引言

图像监控因其内容直观, 信息丰富而被应用于多种场合。由于体积, 功耗和价格等原因, CMOS 图像采集芯片得到广泛应用。同时市场上常用的图像采集系统用 DSP 和 CMOS 图像传感器构成。而 Blackfin 系列 DSP<sup>[1-2]</sup>是一款具有高性价比, 适合嵌入式开发的音视频处理器, 同时在图像处理过程中, 复杂的算法和庞大的数据吞吐量给常见的数据采集系统提出了更高的要求, 针对这一需求, 笔者充分利用 DSP 硬件资源, 克服片内存储资源的不足的问题, 设计了一套优化采集机制, 满足了整个系统性能需求。

## 2 图像采集系统的总体构成

### 2.1 系统框图

基于 Blackfin DSP 开发的图像编码系统<sup>[3-4]</sup>如图

1 所示, 该系统主要包括摄像头, ADSP-BF533 最小系统, Flash, SDRAM 以及以太网部分, 摄像头将采集到的图像信号以 YUV(4:2:2)的格式送 DSP, DSP 负责将数字信号压缩, 编码处理, 最后将码流通过以太网接口输出。此系统的程序代码存入 Flash 芯片中, 通过 Flash 启动, 编码过程中的原始图像, 参考图像, 重构图像及其它中间变量存储在 SDRAM 芯片中。

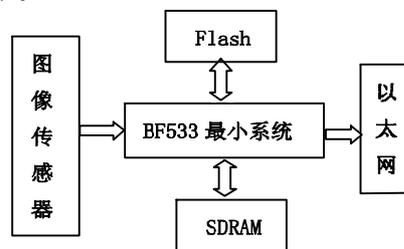


图 1 系统整体框图

<sup>①</sup> 收稿时间:2010-03-09;收到修改稿时间:2010-04-14

## 2.2 图像采集单元

系统采集部件选用的 CMOS 图像传感器芯片为 OmniVision 公司的 OV9650<sup>[5]</sup>。它采用串行摄像头控制总线 SCCB(Serial Camera Control Bus)对图像传感器的寄存器进行读写,以达到对输出图像控制。BF533 的 PFO 和 PF1 分别作为 OV9650 的 SCCB 时钟和数据控制总线。OV9650 的像素输出时钟信号线 PCLK 接到 BF533 的 PPI\_CLK 接口,水平(行)参考 HREF 信号和垂直(帧)同步 VSYNC 信号连接到 BF533 的 TMR1 和 TMR2 上,为 DMA 提供计时信号。

## 2.3 BF533 系统

### 2.3.1 Blackfin 533 数字处理器芯片

ADSP-BF533<sup>[6-7]</sup>是目前 Blackfin 系列数字信号处理器中性能较高的一款,具有 600MHZ 的主频,两个 40 位的 ALU(算术逻辑单元),四个 8 位的视频处理单元,8 个算术寄存器,10 个地址寻址单元,并且集成了大量的外围设备和存储器接口(PPI),在传统数据总线的基础上增加了一条数据吞吐通道,特别适用于各种音视频领域的应用,充分满足了系统技术指标。

### 2.3.2 外围存储器

系统保持所采集的高分辨率图像信息需要很大的数据存储空间,由于 BF533 内部存储器容量有限,因此扩展 SDRAM。在实际实现过程中,系统 SDRAM 采用 MICRON 公司的 MT48LC16M16A2,它是一款兼容 PC66,PC133 规范的高速动态存储器,组成结构为 4Banks4M16bit .Flash 是一种可进行电擦写,并且在断电后数据不丢失的存储器,Flash 存储器选用 ST 公司的 PSD4256G6V,单电源供电,工作电压为 3V,可配置为 8 位或 16 位数据宽度。

## 3 软件设计

### 3.1 ADSP-BF533 硬件资源初始化

由 Blackfin DSP 官方手册<sup>[7]</sup>可知,Blackfin 系列 DSP 的 API 函数库中已经包含了各种封装好的函数,只需合理调用即可。

在程序的开始,调用 adi\_int\_Init()系统函数进行内存管理初始化,随后调用

```
ADI_PWR_COMMAND_PAIR Power Table [] =
{
    {ADI_PWR_CMD_SET_PROC_VARIANT    (Void*)
    ADI_PWR_PROC_BF533SKBC600 }
```

```
{ADI_PWR_CMD_SET_PACKAGE    (Void*)ADI_
PWR_PACKAGE_MBGA }
{ADI_PWR_CMD_SET_VDDEXT    (Void*)ADI_
PWR_VDDEXT_330 }
{ADI_PWR_CMD_SET_CLKIN    (Void*)
CLKIN }
{ ADI_PWR_CMD_END    NULL}
}
```

通过填充该数组来配置处理器的主频为 600MHZ,处理器封装形式为 MBGA,定义外部电压为 3.3V,定义处理器的外部时钟是 CLKIN 等参数,然后执行 adi\_pwr\_Init( Power Table) 函数,将 Power Table 数组中的参数值写入到处理器中。

### 3.2 OV9650 内部寄存器的配置

设置一个数组 pConfigParams[255],在 Cam\_Paramset\_OV9650\_Init( pConfigParams )系统函数中按照先写入寄存器地址,再写入该寄存器参数值配对的形式初始化该数组,接下来调用 am\_Setup( &phCamera,

```
CAM_SIO_C_PIN,
CAM_SIO_D_PIN,
CAM_PWDN_PIN,
CAM_DEVICE_ADDRESS,
PconfigParams,
CCLK,
```

0) 系统函数,该函数指明 OV9650 在 SCCB 上的地址为 CAM\_DEVICE\_ADDRESS,并且将 pConfigParams 数组中摄像头的配置参数,在时钟线 CAM\_SIO\_C\_PIN 和数据线 CAM\_SIO\_D\_PIN 的配合下通过 SCCB 写入摄像头寄存器中。通过 PF 口模拟 SCCB 总线读写时序,对 OV9650 内部关键寄存器进行配置:由于 Cam\_Setup( )函数返回值中包含设备 ID,通过返回值中的 ID 判断器件是否正常;设置寄存器 0X13 为 0XFF,使能 AGC,AWB 和 AEC;设置寄存器 0X15 为 0X20,PCLK 在 HREF 为低电平时无输出;设置寄存器 0X3A 为 0X08,输出格式为 YUV 4:2:2,输出序列数据为 YuYv。

### 3.3 图像数据的存储与传输

摄像头设置成功后,通过 char \*Yuvbuffer=(char\*)Molloc(nXsize\*nYsize\*2),用来分配一段空间存储图像,用 Yuvbuffer 字符型指针变量指向

该空间的首地址，最后通过 PPI\_gp\_setup()函数，设置 PPI 和相应的 DMA 寄存器：设置控制寄存器 PPI\_COUNTROL 为 8 位数据宽度；设置计数寄存器为 PPI\_COUNT 为 1280；设置帧线路数寄存器 PPI\_FRAME 为 1024；设置延时寄存器为 2000；后把 PPI\_COUNTROL 的 Port\_EN 位置位来启动 PPI。当 OV9650 的帧同步信号输出有效后，图像数据开始传输。

#### 4 BF533图像数据的采集难点与实现

##### 4.1 图像数据采集的难点

在编码时，内核与 SDRAM 之间，以及内部存储器与 SDRAM 之间存在数据交换，由于编码时用到原始图像，参考图像，重构图像都存放在 SDRAM 中，因此在编码过程中，内核要频繁的操作 SDRAM 中的数据，使得数据要不断的经过 SDRAM 总线，此外内核对内部存储器中的数据操作速度要比对外部 SDRAM 中的数据快得多，设计时经常将外部存储器中的数据搬移到内部进行操作，因此内部存储器与 SDRAM 之间存在大量的数据交换。同时，通过摄像头采集进来的数据流通过 PPI 输入到 SDRAM 中，由于 PPI 的时钟频率只有 27MHZ，而 SDRAM 可以工作在 133MHZ<sup>[8]</sup>，如果 PPI 直接将数据流输入到 SDRAM 中，则 PPI 在一场采集时间内始终以 27MHZ 占用 SDRAM 数据总线，以致降低了 SDRAM 数据总线的利用效率，加剧 SDRAM 数据总线的拥挤程度。如图 2 所示：

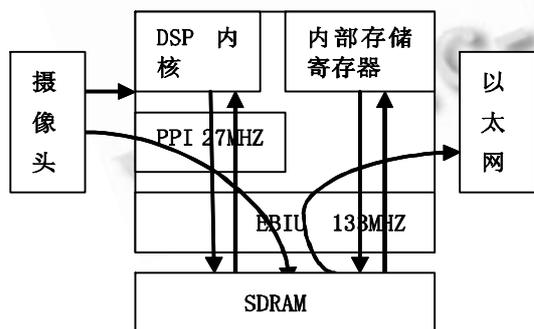


图 2 编码系统中 SDRAM 数据总线上瓶颈问题

因此，如何解决 SDRAM 数据总线上的瓶颈问题，提高 SDRAM 数据总线的利用率，是图像编码系统设计的关键。

##### 4.2 图像数据采集中难点解决

PPI\_DMA 将采集的数据传输到 SDRAM 可以分为两种方式(A)：直接将采集到的数据写入到 SDRAM (B)：基于片内缓冲区，即先将采集的数据写入到片内一块缓冲区，再由 DSP 或者 MEM\_DMA 传送到 SDRAM。根据 SDRAM 读写时序<sup>[8]</sup>，SDRAM 开始写操作到第一个数据被写入之间存在一个延时(CAS 延时)，因此每次向 SDRAM 写入一个有 K 个半字(K≥1)的数据块，需要 CAS+K 个时钟周期，对于 UXGA 分辨率图像，完全写入到 SDRAM 所需时间为：

$$t = 1600 \times 1200 \times T_0 + \frac{1600 \times 1200}{K} \times CAS \times T_0 \quad (1)$$

其中， $T_0$  为 SDRAM 时钟周期，CAS 为 SDRAM 读写延时(时钟为单位)<sup>[8]</sup>，K 代表每次传输的数据大小(半字为单位)。

对于第一种方式，PPI\_DMA 直接将数据写入到 SDRAM，PPI\_DMA 有 16 个半字 FIFO，考虑最好情况，即 FIFO 全满后再传，K=16，考虑 CAS=2CLOCK，则向 SDRAM 写入一帧所需要时间：

$$t_1 = 1.875 \times 1600 \times 1200 \times T_0 \quad (2)$$

对于后一种方式，假设在片内 SRAM 的缓冲区大小为 K=4096，则写入一帧所需要时间：

$$t_2 = 1.0073 \times 1600 \times 1200 \times T_0 \quad (3)$$

比前一种方式减少时间约为 16%，由此可见，采用基于片内缓冲区的数据传输方式可以提高效率，减少采集占用 SDRAM 的时间。

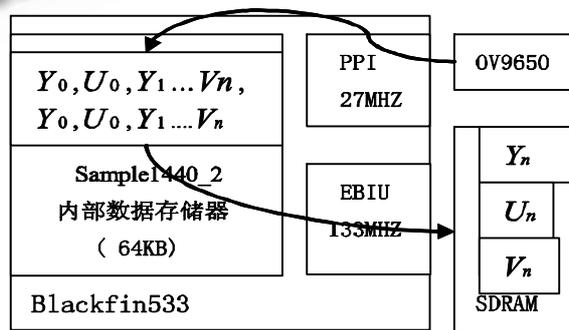


图 3 图像数据采集机制示意图

具体实现如下：在 DSP 内部数据存储器中建立一个 sample[1440\*2]的数组，用于存放两行图像数据，同时设置 DSP 的工作模式为每两行中断一次，中断后

在行的逆程时间将这两行数据采样,存入到外部的SDRAM,等到下行数据到来时,这两行数据完全存入到SDRAM中,内部数据存储器中的sample[1440\*2]空间就可以重复利用,再去接收下两行数据。采集机制如图3所示。

## 5 结束语

本机制充分利用了Blackfin DSP的PPI接口,硬件构成简单可靠,在内部数据存储器中开辟缓冲区以及改变SDRAM的读写方式,使得图像采集和编码能够完全并行。同时充分利用了Blackfin DSP丰富的API功能函数,使得软件架构更加清晰易懂,程序代码更加稳定可靠,试验证明该机制不仅实现了高分辨率图像采集,节省了系统资源,同时具有结构简单,功耗低,传输效率高等特点,适合应用于对图像质量及实时性要求较高的场合。

## 参考文献

- 1 Analog Devices,Inc,ADSP-BF531/BF532/BF533 Preliminary Technical Data, 2003.
- 2 Analog Device,Inc,ADSP-BF561 Blackfin Processor Hardware Reference.Revision 1.0,July 2005.
- 3 Analog Device,Inc,ADSP-BF533 EZ-KIT Lite Evaluation System Manual,Revision2.0,Jan 2005.
- 4 曹小秋,赵焕军. ADI Blackfin系列DSP处理器实验指导书.北京:电子工业出版社,2008:4—9.
- 5 Omnivision Corp. Serial Camera Controls Function Specification.Version2.1,26 February 2003.
- 6 陈峰.Blackfin系列DSP原理与系统设计.北京:电子工业出版社,2004:4—11.
- 7 Analog Device,Inc,ADSP-BF533 Blackfin Processor Hardware Reference.Revision3.1,June 2.5.
- 8 Synchronous SDRAM MT48LC4M16A2 datasheet. Micron.Technology,Inc,[www.micron.com](http://www.micron.com), 2002.