

AVS 编码器帧内预测模块^①

刘华北, 王树昆, 朱传德

(山东建筑大学 信息与电气工程学院, 济南 250101)

摘要: 通过对 AVS(Audio and Video Standard, 音视频编码标准)标准中帧内预测算法的分析, 提出了一种新的适用于 AVS 编码器帧内预测模块的优化设计方案. 设计中使用二维滤波单元, 简化了参考数据选择机制; 使用设计的基本预测单元 PE(Primary Element)构造运算单元阵列对当前块进行并行处理, 提高了预测速度; 设计了脉动阵列用于实现复杂色度 Plane 模式的预测. 基于 Verilog HDL 语言在 FPGA 上实现该设计并在 ModelSim 上进行仿真, 结果表明, 本设计提高了编码效率以及降低硬件资源的消耗, 并满足实时编码高清视频的要求.

关键词: AVS 标准; 视频编码; 帧内预测; 并行处理

Intra Prediction in AVS Video Encoding

LIU Hua-Bei, WANG Shu-Kun, ZHU Chuan-De

(School of Information and Electrical Engineering, Shandong Jianzhu University, Jinan 250101, China)

Abstract: Through the analysis of the Audio and Video Standard intra prediction algorithm, a new optimization design method is put forward to the AVS encoder intra prediction module. Two dimensional filtering units were used in the design simplifying the reference data selection mechanism. Using the prediction unit array constructed by the basic unit PE improves the prediction speed. Design of systolic arrays is used to predict complex color Plane mode. The design based on the Verilog Hardware Design Language(HDL)is realized on FPGA and simulated in ModelSim. The results show that this design improves the coding efficiency and reduces the consumption of hardware resources and meet the requirements of real-time encoding of high-definition video.

Key words: AVS standard; video coding; intra prediction; parallel processing

AVS^[1]是我国具备自主知识产权的第二代信源编码标准, 也是数字音视频产业的共性基础标准. 它采用了与 H.264 相似的技术框架, 包括帧内预测、帧间预测、变换、量化、熵编码、环路滤波等模块. 该标准采用了更加有效的编码技术, 提高了压缩效率, 与此同时也增加了编码复杂度, 因而常采用硬件设计以达到实时编码的需求.

帧内预测模块是视频编码器的重要组成部分, 其设计结构的优劣会直接影响编码器的性能. 国内外对于帧内预测模块硬件实现的研究^[2-4]取得了比较好的效果, 但选择机制比较复杂, 硬件资源消耗较大. 本文根据 AVS 帧内预测算法的特点, 对编码模块的硬件实现进行研究, 对预测公式进行详细分析, 总结出

不同预测模式公式的计算规则, 并利用流水线技术, 提高预测运算速度以及预测模块的编码效率.

1 AVS 帧内预测算法分析

AVS 帧内预测通过充分利用一帧图像中相邻像素间的空域相关性, 并参考上边及左边相邻宏块的重建像素值, 预测出当前宏块的像素值. 并进一步求得所对应的残差矩阵, 经过变换和量化后, 将残差矩阵变为量化系数矩阵, 量化系数矩阵再经过熵编码后形成编码后的码流.

在 AVS 帧内预测中, 亮度块和色度块都是采用 8×8 的固定块预测结构. 对于预测值计算模式, 亮度块有 5 种, 色度块有 4 种, 其中亮度块和色度块的预测

① 收稿时间:2014-04-21;收到修改稿时间:2014-05-09

值计算中共有 3 种算法是一致的. 图 1 阴影部分为需要预测的当前块, 在对当前 8×8 块内的 64 个像素进行帧内预测时, 可能用到的参考样本为与当前块相邻的上边 0~16 和左边 0~16 像素值.

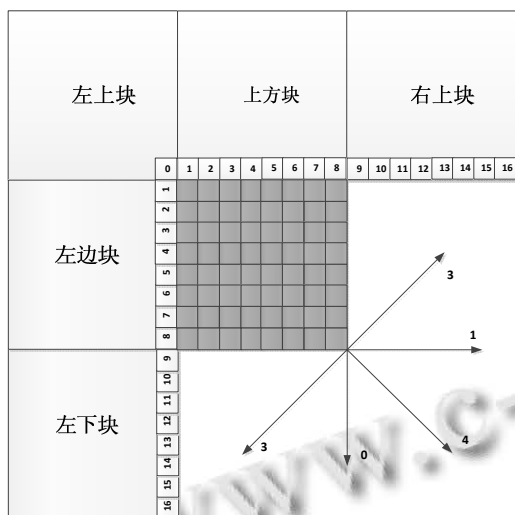


图 1 帧内预测参考样本

2 帧内预测算法的实现

考虑到 AVS 编解码标准的高性能特性以及对视频高清晰度的要求, 本文采用高效快速的 FPGA 芯片实现帧内预测模块.

2.1 帧内预测模块结构设计

模块采用以块为单位的并行流水^[5]结构, 帧内预测系统结构框图如图 2 所示, 主要由四部分组成: 帧内预测模式选择模块、预测值计算模块、重建单元和控制单元以及若干缓存 RAM. 其中, 帧内预测模式选择模块通过充分利用相邻块最佳预测模式之间的相关性以及亮度变化的方向性, 确定帧内预测的最佳模式; 预测值计算模块负责从参考像素 RAM 中取出与当前块相邻的亮度或色度值, 同时根据得到的最佳帧内预测模式采用相应的算法进行预测, 预测结果放入重建单元; 重建单元将 IDCT 得到的残差值与帧内预测值相加, 并将重建后的结果存入参考像素 RAM 中; 整个模块在控制单元的作用下协调工作, 共同完成一个宏块的预测后发出当前块预测结束的信号.

2.2 预测值计算模块

帧内预测值计算模块是预测结构中的关键部分, 它根据不同的帧内预测算法, 从参考像素 RAM 中取出相应的参考样本, 预测出当前块内的 64 个像素点.

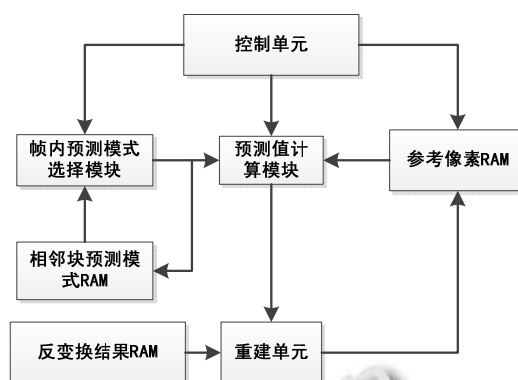


图 2 帧内预测模块结构框图

2.2.1 帧内预测单元 PE 设计

通过研究 AVS 标准帧内预测的各个模式可知, 虽然 AVS 有多种帧内预测模式, 但不同的预测模式用到的主要运算单元是一致的, 概括为先进进行求和然后移位, 最后进行限幅. 求和与移位部分采用 $(a+2\times b+c+2)\gg 2$ 的 3 抽头滤波运算结构, 使用简单的加法和移位就可实现, 可根据这个特点设计预测单元的核心结构. 针对此滤波运算结构所设计的帧内预测单元 PE 如图 3 所示, 该单元为帧内预测计算的最小单元.

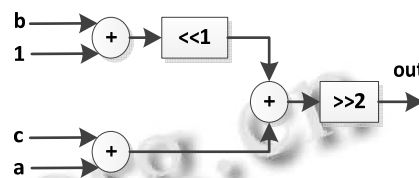


图 3 帧内预测单元 PE

2.2.2 帧内预测运算单元阵列

文献[2-4]中设计的帧内预测结构, 参考数据是经过数据选择器进行处理的, 帧内预测采用上边和左边宏块的 33 个像素作参考, 选择结构复杂, 造成大量资源的消耗以及关键路线的延时. 本文通过分析帧内预测算法, 发现第一个 PE 单元的输入是 r_0 、 r_1 、 r_2 , 而第二个 PE 单元输入则是 r_1 、 r_2 、 r_3 . 以此类推, 可推导出横向和纵向的滤波单元 PE 的输入是连续的. 根据以上特点, 将 $r_0\sim r_9$ 和 $c_0\sim c_9$ 作为滤波单元 PE 的固定输入, $r_{10}\sim r_{16}$ 和 $c_{10}\sim c_{16}$ 通过移位操作移入固定输入端完成滤波运算, 这样就简化了参考数据选择机制.

本设计采用并行预测结构以提高预测速度, 上述 PE 作为基本预测单元, 横向与纵向各采用 8 个 PE

预测单元,设计的帧内预测运算单元阵列如图 4 所示.

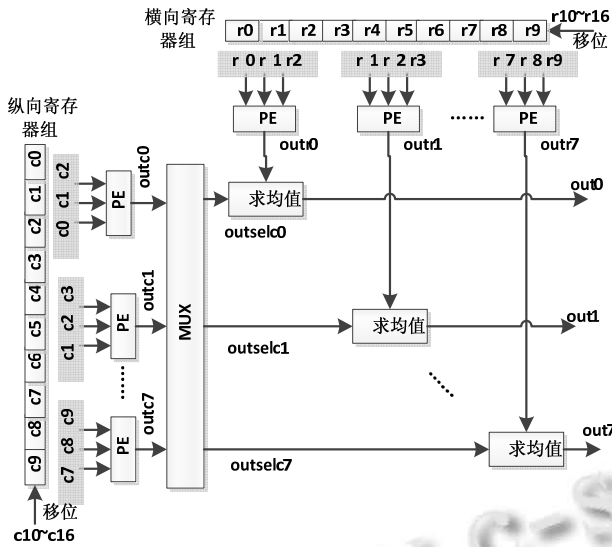


图 4 帧内预测运算单元阵列图

2.2.3 预测模式的实现

(1)对于亮度和色度的 Vertical 与 Horizontal 预测模式,预测值不需计算而直接由参考样本值得到.

(2)对于 DC 模式,当前块在图像中的位置不同,可利用的参考样本也不同.

①如果当前块左方与上方样本 $r[i]$ 、 $c[i]$ ($i=0\sim 9$) 都可用,则将 $outc_0$ 通过数据选择器连接到 $outscl_0\sim outscl_7$,每个时钟周期都与 $outr_0\sim outr_7$ 进行均值运算,输出的 $out_0\sim out_7$ 即为预测值,同时将 $c_0\sim c_{16}$ 进行一次移位操作.

②如果只有上方的样本 $r[i]$ ($i=0\sim 9$)可用,则将其输入到运算单元阵列中,输出的 $outr_0\sim outr_7$ 结果作为一行 8 个像素的预测值.

③如果只有左边的样本 $c[i]$ ($i=0\sim 9$)可用,则将其输入到运算单元阵列中,每一个时钟周期都会得到 8 个 $outc_0$ 值,可将其作为一行的预测结果,同时将 $c_0\sim c_{16}$ 进行移位操作.

④如果当前块左方与上方参考样本都不可用,则直接将常数 128 作为预测值.

(3)对于 Down-left 模式,在参考样本 $r_1\sim r_{16}$ 和 $c_1\sim c_{16}$ 可用的前提下,根据算法需要将 $r_0\sim r_{16}$ 、 $c_0\sim c_{16}$ 先移位一次, $outscl_0\sim outscl_7$ 通过选择器连接 $outc_0\sim outc_7$,每个时钟周期得到的 $out_0\sim out_7$ 即为预测值,同时每个周期将 $c_0\sim c_{16}$ 由下向上移位, $r_0\sim r_{16}$ 由右向左移位.

(4)对于 Down-right 模式,如图 5 所示将参考样本值 $r_0(c_0)$ 、 r_1 、 c_1 输入到预测单元 PE 中,计算出 MD4out,然后将 MD4out 和 $outr_0\sim outr_6$ 作为一组数据存入 8 个寄存器 M0-M7 中,这一组数据就是当前预测块第一行像素的预测值.对于预测块的第二行,将寄存器组 M0-M7 从左向右进行一次移位操作,同时将 $outc_0$ 赋给 M0,并对 $c_0\sim c_{16}$ 进行一次移位,这样就得到了第二行预测值.以此类推,每个时钟周期将 M0-M7 进行一次移位操作,同时将 $outc_0$ 赋给 M0,并对 $c_0\sim c_{16}$ 进行一次移位操作,得到的 M0-M7 就是某一行的预测值.通过此方法,一个块的预测只需要 8 个时钟周期即可完成.

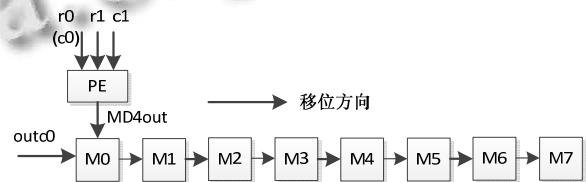


图 5 Down-right 模式参数计算

(5)对于色度帧内预测 c 的 Plane 模式,其运算比较复杂,需要用到相应的参考样本和 ia 、 ib 、 ic 、 ih 和 iv 共 5 个中间值.而在参考样本确定的情况下, ia 、 ib 、 ic 、 ih 和 iv 这 5 个中间值是确定的.

Plane 模式中预测模式算法为:

$$predMatrix[x,y]=Clip1((ia+(x-3)\times ib+(y-3)\times ic+16)\gg 5)(x,y=0\sim 7)$$

$$其中, ia = (r[8]+c[8])\ll 4, ib = (17\times ih+16)\gg 5, ic = (17\times iv+16)\gg 5,$$

$$ih = \sum_{i=0}^3 (i+1)\times (r[5+i]-r[3-i])$$

$$iv = \sum_{i=0}^3 (i+1)\times (c[5+i]-c[3-i])$$

将其进行变换后得到以下形式:

$$predMatrix[x,y]=Clip1((A+x\times ib+y\times ic)\gg 5)(x,y=0\sim 7).$$

$$其中, A = ia+(-3)\times ib+(-3)\times ic+16$$

对于变换后的 Plane 模式预测值计算式可知,预测值的计算主要分为 3 个部分: A 的计算、 $A+x\times ib+y\times ic$ 的计算和限幅(Clip1).

这里对于复杂的 $A+x\times ib+y\times ic$ 和参数 ih 、 iv 的实现问题进行优化设计.

① $A+x\times ib+y\times ic$ 的计算

图 6 所示即为所设计的脉动阵列^[6],每个时钟周期输出被预测块的一行,每行和每列的预测值分别以

ib 和 ic 递增, 8 个时钟周期就可完成当前块的预测.

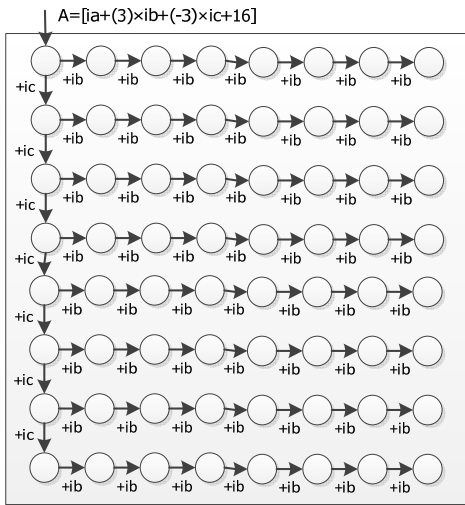


图 6 脉动阵列

代表预测出的 8 个像素值. 从仿真结果可以得出, 帧内预测模块按本文设计的结构进行预测, 每个块的帧内预测只需 8 个时钟周期就可完成, 通过与 AVS 参考软件 RM52j 进行比较, 验证了本设计的正确性.

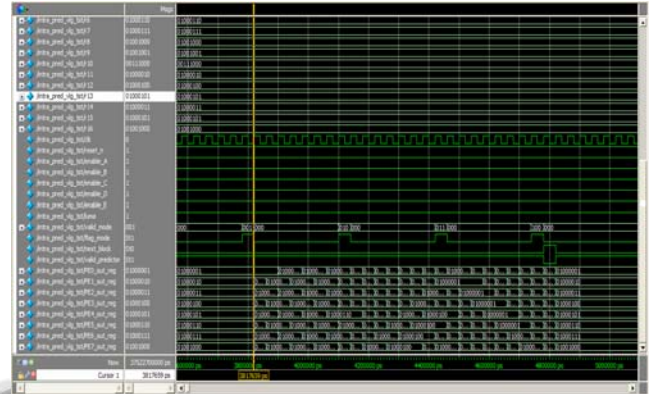


图 8 帧内预测仿真结果

②参数 ih、iv 的计算 c

通过分析 ih、iv 的计算公式, 可以发现 ih、iv 为四个乘积项相加.

以 ih 为例展开如下:

$$ih = 1 \times (r[5] - r[3]) + 2 \times (r[6] - r[2]) + 3 \times (r[7] - r[1]) + 4 \times (r[8] - r[0])$$

乘积项系数分别为 1、2、3 和 4, 其中系数 2 和 4 可通过移位操作来实现, 系数 3 可分解为 3=1+2, 同样可以利用移位操作实现, 实现过程如图 7 所示.

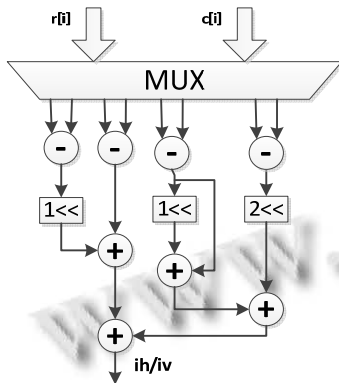


图 7 参数 ih、iv 的计算

3 实验结果

本设计使用 Verilog HDL 语言完成硬件程序的编写, 采用 Altera 公司的 Quartus II 12.0 软件进行程序的仿真与综合和 Cyclone II 系列 EP2C35F672C6 FPGA 进行验证. 图 8 为部分帧内预测模块的仿真结果.

仿真图中 enable_A~E 代表参考样本的可用性, valid_mode 代表输出模式的有效性, PE0_out~PE7_out

4 结语

本文针对实时编码高清视频的要求, 提出了一种新的实现 AVS 编码器帧内预测的优化设计方案, 该设计中使用了二维滤波单元, 并简化了参考数据选择机制; 利用设计的预测单元 PE 构造运算单元阵列对当前块进行并行预测, 提高了预测速度; 针对复杂色度 Plane 预测模式还设计了脉动阵列, 使得每个块的帧内预测只需 8 个时钟周期就可完成. 本文设计的帧内预测模块减少了芯片资源的消耗, 提高了帧内预测的速度, 满足了实时编码高清视频的要求.

参考文献

- 1 GB/T20090.2006 信息技术先进音视频编码(第 2 部分):视频,2006.
- 2 Wang SB, Zhang XL, Yao Y, et al. H.264 intra prediction architecture optimization. 2007 IEEE International Conference on Multimedia and Expo. IEEE. 2007. 1571-1574.
- 3 Sahin E, Hamzaoglu I. An efficient hardware architecture for H. 264 intra prediction algorithm. Design, Automation & Test in Europe Conference & Exhibition, 2007. DATE'07. IEEE. 2007. 1-6.
- 4 王争,刘佩林.AVS 帧内预测算法及其解码器的硬件实现. 计算机工程与应用,2006,42(19): 80-83.
- 5 付华丰,李凤亭.并行结构的 AVS 帧内预测编码器.计算机工程与设计,2009(5):1140-1143.
- 6 姜伟.AVS 解码器帧内预测和环路滤波器硬件设计与实现 [学位论文].济南:山东大学,2009.
- 7 刘畅,熊付荣.AVS 解码器帧内预测并行自适应硬件实现. 电视技术,2009.
- 8 游娜,彭玉华,刘微,等.基于 AVS 的帧内预测模式快速选择算法.计算机工程与应用,2009,45(14):185-187.