

一种高效的 H.264 反变换反量化结构设计^①

赵春亮, 王树昆, 朱传德

(山东建筑大学 信息与电气工程学院, 济南 250101)

摘要: 在分析 H.264 反变换反量化算法的基础上, 提出了一种高效的 H.264 反变换反量化硬件结构. 在反变换中, 采用了一个可重构的一维 IDCT 变换结构; 在反量化中, 采用了 4 个反量化单元的并行结构, 并通过 LUT 取代了占用电路面积大的模运算和除法运算; 在整体结构设计中, 采用了门控时钟方案和流水线技术. 结果表明, 本设计可提高系统输出能力和降低硬件功耗, 并满足 1080i 高清码流实时解码的要求.

关键词: H.264; 反变换; 反量化; 低功耗

High Performance Inverse Transform And Quantization Architecture for H.264

ZHAO Chun-Liang, WANG Shu-Kun, ZHU Chuan-De

(School of information & Electrical Engineering, Shandong Jianzhu University, Jinan 250101, China)

Abstract: This paper analyzes the algorithm of Inverse Transform and Quantization(ITIQ) in H.264 and proposes a high performance architecture. A reconfigurable one dimensional IDCT (Inverse Discrete Cosine Transform) architecture of Inverse Transform is proposed; A 4-IQ-parallel architecture of Inverse Quantization is adopted, area-consuming MODULO and DIVISION operation of Inverse Quantization are implemented by LUTs instead of direct computation. Unified clock gating scheme and pipeline technology are also used in the design. The results show that the design increases the system throughput and drops the power consumption and meets the real-time decoding of 1080i stream.

Key words: H.264; Inverse Transform(IT); Inverse Quantization(IQ); low power

MPEG(Moving Picture Experts Group)和 VCEG (Video Coding Experts Group)联合开发了新一代的视频压缩标准 H.264/AVC, H.264 具有优异的视频图像压缩性, 与之前的视频压缩标准(如 MPEG-2、H.263)相比, 其压缩率可以提高 50%以上, 其在数字电视、电视会议、视频传输等领域得到了广泛的应用^[1].

H.264 优异的视频图像压缩性是以其复杂的编解码算法为代价的, 其巨大的计算量和日益增长的视频码流对其实时解码提出了挑战, 硬件解码并行处理速度快的优点使其成为了一种解决方案. 同时, 功耗也已成为电路设计的一个焦点问题, 尤其是电池供电的移动设备对 H.264 编解码器的功耗提出了更高的要求, 这就需要寻求一种输出能力高且功耗低的视频解码芯片设计方法. 反变换和反量化模块是 H.264 标准中运

算最为频繁的一个处理模块, 该模块的处理速度和功耗直接了解码器的解码速度及功耗, 本文针对 H.264 反变换反量化模块提出了一种的高效硬件结构.

1 反变换反量化算法分析

H.264 标准中, 为了简化硬件实现, 采用了整数变换和标量量化技术^[2].

1.1 反变换算法分析

在 H.264 中, 采用了 4×4 的整数离散余弦反变换(IDCT)技术, 使得在解码过程中计算的精度提高, 还明显地减少了振铃效应的出现^[1].

根据编码的残差数据类型, H.264 中采用了三种类型的变换:

- 1) 帧内预测 16×16 亮度块的直流系数组成的 4

^① 收稿时间:2012-05-29;收到修改稿时间:2012-09-06

×4 块采用 Hadamard 变换.

2) 任何宏块中色度块的直流系数组成的 2×2 块需要进行 Hadamard 变换.

3) 残差数据中所有的 4×4 块采用离散余弦变换.

可以将上面三种类型对应的反变换公式表示为一般形式:

$$X = CYC^T \quad (1)$$

X 和 Y 分别表示输出和输入矩阵, C 表示系数矩阵.

1.2 反量化算法分析

H.264 采用标量量化技术, 量化过程应在不降低视觉效果的前提下尽量减少图像编码的长度, 减少视觉恢复中不必要的信息^[1].

H.264 标准中规定, 对于 AC 残差系数的解码, 所有的输入数据应先进行反量化, 然后进行反变换; 对于 DC 直流系数块应先进行逆 Hadamard 变换, 然后进行反量化. 所以, 不同类型的残差块用到的反量化公式不同.

在 H.264 标准中, 量化参数(QP) 是反量化中重要的一个参数, 需要根据量化参数来进行反量化及 IDCT 中的比例变换(H.264 标准中规定: IDCT 中的比例变换在反量化过程中完成), 所有 4×4 块内的 16 个值和 2×2 块内的 4 个值都采用不相同的量化参数. 最后, 还需要进行左移或右移运算得到最终结果, 移位运算的长度仍然需要依靠当前的量化参数值, 这些自适应的算法给硬件实现带来很大的困难.

2 反量化器的硬件结构

通常, 残差块内系数的比例变换系数是不一样的, 这些系数的选择取决于块内系数的位置及 QP 值的大小. 用一个三维的查找表来获得反量化的比例变换系数, 该三维的查找表输入当前的 QP 值及其 x、y 坐标. 输入的残差系数首先乘以它们各自的比例变换系数, 然后再移位得到最终的反量化结果.

标准中规定 QP 需要进行模运算和除法运算. 但应用专用的模运算器和除法运算器并不合理, 因为 QP 只有 52 个可能的值. 本文采用 2 个查找表(模运算 LUT 与除法运算 LUT)结构取代了原有的 2 个复杂的算术单元, 与原有的设计方案相比较, 硬连接的 LUT 速度更快, 占用硬件资源更少, 而且功耗更低.

由此提出的反量化结构如图 1 所示.

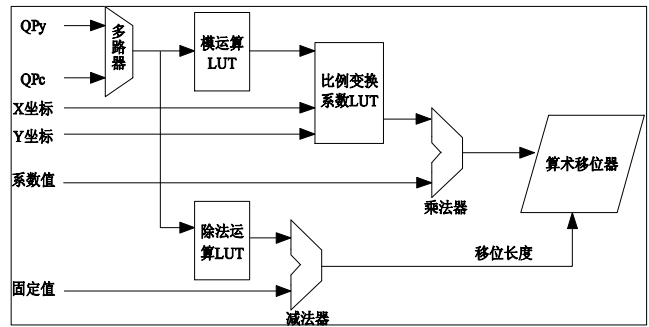


图 1 反量化器硬件结构图

在反量化结构中, QPy 和 QPc 通过一个 2 选 1 的多路选择器得到当前的 QP 值, 从而为模运算 LUT 和除法运算 LUT 提供输入. QP 模运算 LUT 的结果和图像块内系数的位置作为三维比例变换系数 LUT 的输入, 比例变换系数 LUT 的输出和图像块的系数送往一个乘法器. 算术移位器的输入值和移位的长度分别由乘法器和减法器决定.

3 反变换器的硬件结构

直接计算(1)式是比较复杂且耗费时间的, 本文在其硬件实现上采用了一种快速计算方法. 将反变换分解为 2 个分开的一维变换, 中间夹一个转换存储器, 输入的行数据先经过一维 IDCT 变换, 得到的结果经转换存储器转换后, 再进行列数据的一维 IDCT 变换.

直接实现 H.264 的反变换需要 3 个不同的反变换单元—4×4 块的逆 Hadamard 变换、2×2 块的逆 Hadamard 变换和其它 4×4 块的 IDCT 变换. 为了减少硬件电路面积和降低功耗, 采用一个可重构的一维 IDCT 变换处理单元, 来处理以上 3 种变换类型.

所有的一维反变换用一个通用的一维 IDCT 单元描述, 如图 2 所示. Y1 和 Y3 输入通道上的多路选择器根据输入图像块的类型, 选择直接输入或 1/2 倍输入. 因此, 用一个可重构的 IDCT 处理单元实现了 3 种不同反变换类型的处理.

如果利用上述可重构的 IDCT 单元进行两次 IDCT 变换, 还需要一个转换的存储器, 因为第一个 IDCT 和第二个 IDCT 变换的数据组织形式是不同的, 转换存储器的组织形式描述如图 3 所示. 第一次 IDCT 变换基于 4×1 的行排列, 它的结果传递给了转换存储器, 第二次 IDCT 变换利用与第一次 IDCT 变换相同的硬件资源, 从转换存储器中获得 1×4 列排列的数据进行操作.

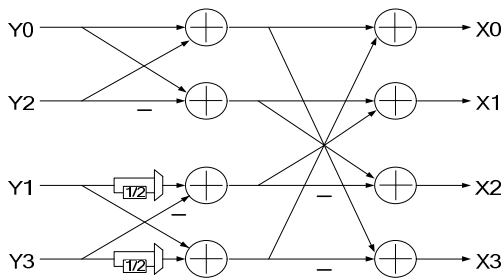


图 2 可重构的一维 IDCT 变换结构

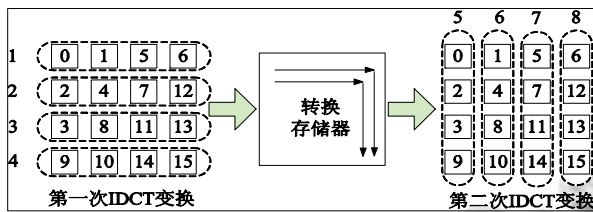


图 3 转换存储器的组织示意图

图 4 描述了提出的转换存储器结构，它由 16 个相同的基本单元组成，基本单元的结构如图 5 所示，每个基本单元由一个 3 输入的多路选择器和一个寄存器(实际上，它是一个 N 位寄存器，N 是需要的位宽，用来保证反变换的准确性)组成。多路选择器控制转换存储器的操作和数据流的方向。当第 1 端口的输入端被选择时(是其输出的自反馈)，转换存储器保持不变；第 2 端口输入的是上边寄存器的数据，代表了由顶部到底部的数据流向；第 3 端口输入的是左边寄存器的数据，代表了由左向右的数据流向。最后，由一个 2 输入的多路选择器来选择最终的输出。研究发现左上角和右下角的多路选择器可以简化，因为其左边和上边的输入都来自同一寄存器，而参考文献[4]没有简化，并且参考文献[4]基本单元采用的是 4 输入的多路选择器，本设计仅采用 3 输入的多路选择器。

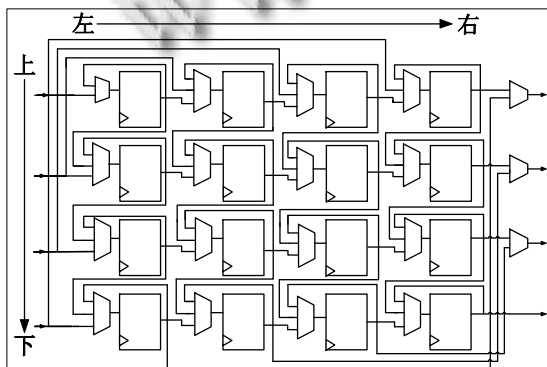


图 4 转换存储器结构图

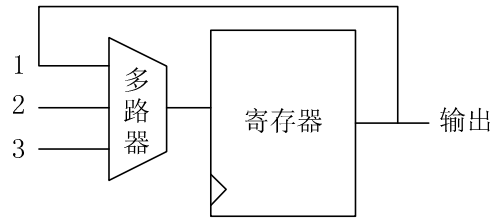


图 5 转换存储器基本单元结构图

4 反变换反量化器的优化

目前的反变换反量化设计，例如参考文献[4]、[5]，将所有的残差块以相同的方式处理。但是，并不是所有的残差块都需要贯穿整个反变换反量化的所有步骤。在本文提出的设计中，采用了“跳跃处理”的方法来处理不同类型的残差块，即根据不同类型的残差块做不同的反变换反量化处理步骤。

通过研究，可以将残差块分为三类：

- 1) 普通的残差块：块中包含非零的 AC 系数，它们需要经历整个反变换反量化过程的所有步骤。
- 2) 直流系数块：不包含 AC 系数的块，它们的 DC 值需要首先进行逆 Hadmard 变换。
- 3) 全零块：这类块的所有系数为零，可以跳过所有反变换反量化的步骤。

对于一般的视频序列，全零块占的百分比最大(约 95%)，直流系数块占的百分比约为 1%，普通残差块约占 4%^[3]。显然，通过跳跃处理的方法可以大大降低反变换反量化操作本身的功耗，并提高反变换反量化解码效率。要实现此方法，需要采用门控时钟的方案。反量化、逆 Hardmard 变换和通用的一维 IDCT 单元分开的门控时钟布局允许每个功能单元被选择使能或无效，每个门控条件在一个周期前计算。本设计采用的门控时钟方案如图 6 所示。

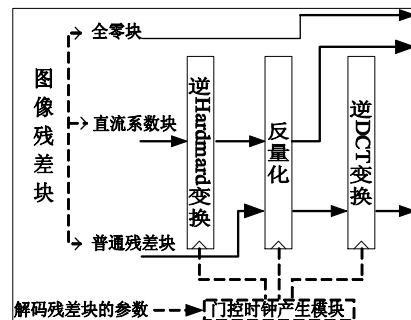


图 6 门控时钟控制方案示意图

为了加快处理速度,反量化模块采用了有4个反量化单元的并行结构,可以同时处理4个残差系数,提高反量化的速率.同时,设计中广泛使用了流水线技术,提高了处理速度.

5 设计的实现结果

对于一个 4×4 块,共有16个残差数据需要转换,它们按照4个并行的子块组织. 4×4 块内有16个系数,4个时钟周期就可以完成一个 4×4 块的反量化操作;对于反变换,其需要两次IDCT变换,每次IDCT变换需要4个周期,共需8个周期完成一个反变换.色度块的 2×2 直流系数块内有4个系数,分别用1个周期就可以完成一个 2×2 直流系数块的反变换与反量化操作.

对于一个帧内预测的宏块而言,它需要 $(1 \times 12 + 2 \times 2 + 24 \times 12) = 304$ 个时钟周期.但是,模块间采用流水线技术,提高了它的输出能力,将 4×4 块的反变换反量化操作从12个周期减少到9个.所以,本设计解码一个宏块共需 $(1 \times 9 + 2 \times 2 + 24 \times 9) = 229$ 个时钟周期.较使用流水线技术之前减少了约24.7%的时钟周期.本设计的吞吐率为 $16 \times 16 \times 1.5 \times 151.8 / 229 = 254.5$ M samples/s, 1080i HDTV按照每秒30帧的数据量计算,其数据量为 $1920 \times 1080 \times 1.5 \times 30 = 93.3$ M samples/s,说明达到了1080i高清码流实时解码要求.

本设计使用Verilog HDL完成硬件代码的编写,用Altera公司的Quartus II 11.1进行代码的综合,并选用Altera公司的Cyclone II EP2C35芯片进行了验证.本设计使用的逻辑单元(LE)总数为2624个,未使用FPGA片上自带的乘法器.而文献[7]设计的H.264反变换反量化器使用了3249个LE单元,与之相比,本设计节约了19.2%的LE资源,其编译结果如图7所示.

Flow Summary	
Flow Status	Successful - Thu Jun 28 15:46:42 2012
Quartus II 32-bit Version	11.1 Build 173 11/01/2011 SJ Full Version
Revision Name	IQIT
Top-level Entity Name	IQIT
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	2,624 / 33,216 (8 %)
Total combinational functions	2,295 / 33,216 (7 %)
Dedicated logic registers	807 / 33,216 (2 %)
Total registers	807
Total pins	464 / 475 (98 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	8 / 70 (11 %)
Total PLLs	0 / 4 (0 %)

图7 IQIT编译结果

6 结论

本文提出了一个高效的反变换反量化器的硬件结构方案.反变换中,提出一个可重构的一维IDCT变换结构,可以处理3种不同类型图像块的反变换,实现了模块的复用,可减少硬件电路面积;反量化中,占用电路面积大的模运算和除法运算通过LUT实现,提高了系统的输出能力,同时,还采用了一个有4个反量化单元的并行结构,可以同时处理4个残差系数,提高反量化的速率.设计中广泛采用流水线技术,提高了处理速度.根据不同残差块的特点,本设计采用了门控时钟的方案,使某些残差块可以跳过某些反变换反量化步骤,从而提高了系统输出能力和降低硬件功耗.硬件实现结果表明本设计的吞吐率可以达到254.55 M samples/s,满足1080i高清码流实时解码的要求.

参考文献

- 1 毕厚杰.新一代视频压缩编码标准—H.264/AVC.北京:人民邮电出版社,2005.103-109,217-219.
- 2 Wiegand T, Sullivan G. Draft ITU-T recommendation and final draft international standard of joint video specification (ITU-T rec. H.264/ISO/IEC 14496-10 AVC, presented at Joint Video Team(JVC) of ISO/IEC MPEG and ITU-T VCEG),2003.
- 3 Xu K. Power-efficient Design Methodology for Video Decoding. A Thesis Submitted in Partial Fulfillment of the Requirements for the Degree of Doctor of Philosophy in Electronic Engineering, The Chinese University of Hong Kong, 2007.
- 4 杜国泽,张春,杨昆,王志华.H.264中反变换反量化模块的硬件实现.Digital TV & digital video,2007,31(8):23-25.
- 5 赵爽,王勇,周晓方,周电.H.264反变换反量化器的硬件设计.微电子学与计算机,2008(1):144-148.
- 6 李进,骆丽.一种H.264/AVC反变换反量化IP核设计.微电子学与计算机,2011(1):189-192.
- 7 Agostini L, Porto M, Guntzel JL, et al. High throughput FPGA based architecture for H. 264/AVC inverse transforms and quantization. Circuits and Systems, 2006. MWSCAS 06. 49th IEEE International Midwest Symposium on. Canada: Montreal, 2006:281-285.
- 8 Gu MH, Yu NM, Jiang C, Lu W. Hardware Prototyping for Various Transforms in H.264 High Profile. Journal of Information & Computational Science, 2011,8(1): 119-128.