

采用 FPGA 的 LCD 转 VGA 控制器的设计^①

刘建平, 曾文海, 黎福海, 肖祥慧

(湖南大学 电气与信息工程学院, 长沙 410082)

摘要: 针对采用视频 D/A 处理器将 LCD 转 VGA 时出现的带宽不够, VGA 显示器屏闪的问题, 给出了一种采用 FPGA 结合视频 D/A 的显示控制器实现方法。该方法将处理器送出来的 LCD 视频数据放在 SRAM 中缓存, 再按 VGA 的规格要求将数据读出并送至 D/A 转换成 VGA 格式的视频输出, 整个处理流程由 FPGA 来控制, 有效地解决了显示输出占用大的数据传输带宽问题。该系统已成功地在某机车图形显示系统中使用。

关键词: 视频; FPGA; LCD; VGA

Design of LCD to VGA Controller Using FPGA

LIU Jian-Ping, ZENG Wen-Hai, LI Fu-Hai, XIAO Xiang-Hui

(School of Electronical and Information Engineering, Hunan University, Changsha 410082, China)

Abstract: Aiming to solve the problem that the bandwidth is not enough and the VGA monitor is unstable when using video D/A to convert LCD to VGA, the paper presents an implement method of controller that uses FPGA to cooperate with video D/A processor. This method stores the LCD video data that comes from MCU into SRAM for buffering, then read it regularly as the VGA rules need and send to D/A, which converts LCD to VGA, the whole process is controlled by FPGA, and it effectively solves the problem that video output occupies too much bandwidth. this system has already been used in some monitor and display system on the train.

Key words: video; FPGA; LCD; VGA

目前大多数 ARM 架构处理器只集成了 LCD 控制器, 而无 VGA 控制器。但与 LCD 相比, VGA 接口因其标准统一, 技术成熟而使用得非常广泛。而目前应用得比较多的 LCD 转 VGA 的控制器是采用视频 D/A 转换器, 直接将 ARM 送过来的 LCD 数据转换成 VGA 模拟信号^[1], 这种方法虽然简单易用, 却有很大缺陷。

三星公司的 S3C2410 处理器作为一款性价比高的处理器而被广泛采用, 但当其工作在 $800 \times 600 \times 60\text{Hz} \times 16$ 位(分辨率为 800×600 、刷新频率为 60 Hz、16 位色彩)模式时, LCD 输出通过视频 D/A 转换器连接 VGA 显示器, 可以明显的看出显示器的屏幕抖动, 甚至出现短暂的黑屏。这是因为 S3C2410 内部没有图形处理模块, 单核 CPU 无法负载庞大的图像数据传输, 系统总线过忙, LCD 扫描式接口的数据跟不上, 扫描

时钟的频率暂时变慢导致 CRT 显示器的同步信号不符合 VGA 规范所致^[2]。

本系统针对以上问题, 提出了在视频 D/A 芯片之前加入 FPGA 处理器, 把从 ARM 过来的 LCD 视频数据缓存至高速 SRAM 显存, 而送入 D/A 的每一帧数据则是从 SRAM 中读出, 这样就能完全满足 VGA 视频规范要求。笔者实验中的采用的分辨率为 800×600 , 刷新频率为 72Hz, 色彩为 16 位。

1 系统理论分析

1.1 采用 D/A 直接处理处理器的问题

只采用 D/A 处理的系统框图如图 1 所示。

此系统只简单采用 D/A 做 LCD 至 VGA 的转换, 没有对图像数据做缓存, VGA 的同步信号也由 ARM

① 收稿时间:2011-02-19;收到修改稿时间:2011-03-20

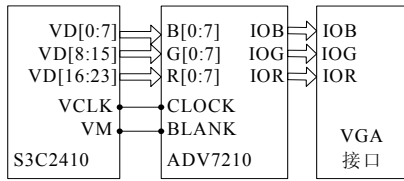


图 1 只采用 D/A 的系统框图

输出，因此存在缺陷。首先，S3C2410 内部没有图像处理器，LCD 控制器中的 FIFO 的刷新速度受限于总线频率。工作于 $800 \times 600 \times 72 \text{ Hz} \times 16 \text{ 位}$ 模式下所需要的数据带宽为：

$$Bw = \frac{800 \times 600 \times 72 \times 16}{8 \times 1024 \times 1024} = 66\text{MB/S}$$

这些数据都需要利用 DMA 方式通过系统的数据总线从 SDRAM 中获得。而 S3C2410 处理器在 100 MHz 的总线频率时，66MB / s 的带宽对于数据总路线来说负担偏重，导致数据经常不能及时送至 D/A，从而 VGA 显示器发生抖动，甚至黑屏。其次，单独采用 D/A 处理器的另一个重要缺陷是没有显存，图像数据不能缓存，D/A 的输入信号来自 ARM，而当 ARM 的图像数据不能及时送达时，D/A 就会暂时停止输出 VGA 信号。

1.2 采用 FPGA 的系统分析

本系统与原有系统的不同之处是在 D/A 和 ARM 处理器之间加入了 FPGA 和高速 SRAM 显存，相当于给 ARM 增加了一个图像处理器。FPGA 的内部主要是如图 2 所示的两个状态机。

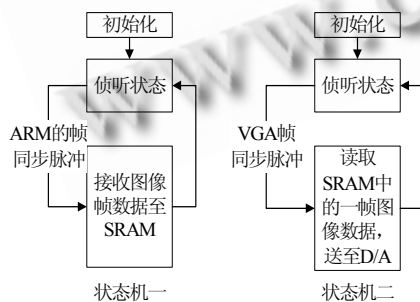


图 2 FPGA 内部状态机图

2 系统设计与实现

2.1 系统基本架构

图 3 是本处理系统的处理流程框图。LCD 视频数

据从 ARM 流至 FPGA，FPGA 的状态机一将数据缓存至 SRAM，状态机二将数据从缓存读出至视频 D/A 处理器，D/A 处理器将 LCD 数据转换成 VGA 信号送至 VGA 显示器。

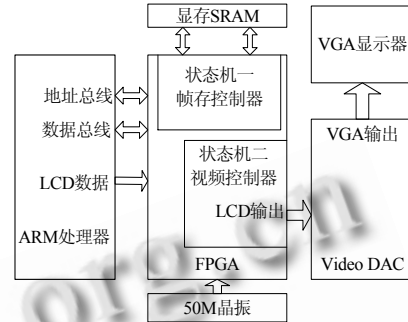


图 3 FPGA 视频处理系统框图

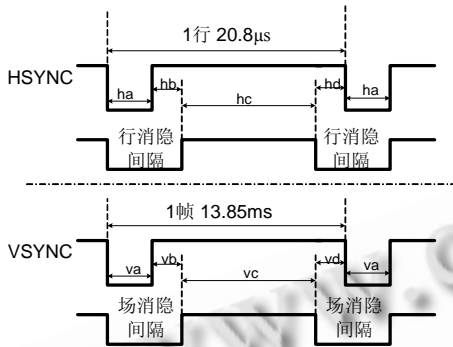
其中 ARM 处理器采用的是基于 ARM920T 的三星 S3C2410，其主频可达 203MHz^[3]，内部的 LCD 控制器由 REGBANK(控制寄存器组)、LCDCDMA（专用 DMA）、TIMEGEN（时序信号产生单元）、LPC3600（时序控制单元）和 VIDPCS（视频信号处理单元）组成^[4]，用来产生相应的 LCD 视频信号。通过修改 S3C2410 的 LCD 控制器 LCDCON5 寄存器值，可以将数据输出格式设置为 16 位，即 R、G、B 3 个分量分别使用 5 位、6 位、5 位。FPGA 处理器采用的是 Xilinx 公司的 XS3C50，含 5 万门，1728 个逻辑单元^[5]，足以满足数据的处理要求。VGA 显示要求显存容量大、读写速度快，在 $800 \times 600 \times 72\text{Hz} \times 16 \text{ 位}$ 模式下的一帧图像数据大小为： $800 \times 600 \times 16 / (8 \times 1024) = 937.5\text{KB}$ ，固本系统采用的是 ISSI 公司的 IS62C51216AL，容量为 8Mbit，数据读取速度最快可达到 45ns。VGA 显示要求数模转换 DAC 的速度应该在 80MHz 以上，同步性好，转换精度高。本系统采用的则是 ADI 公司的专用视频芯片 ADV7125，它包括三路高速、8 位输入的视频 D/A 转换器、标准的 TTL 输入和互补输出高阻抗的模拟输出电流源。

2.2 VGA 时序分析与实现

VGA(Video Graphics Array)是模拟信号接口。产生于 1987 年，该接口依靠其稳定的表现，目前在彩色显示器领域依然被广泛应用。VGA 的标准参考显示时序^[6]如图 2 所示。行时序和场时序都是由同步脉冲(Sync a)、显示后沿(Back porch b)、显示时段(Display interval c)和显示前沿(Front porch d)4 个部分组成， 800×600

×72Hz×16 位模式的时序图如图 4 所示。

根据 VGA 标准可知, 800×600×72Hz×16 位模式需要的像素频率为 50MHz, 因此选用 50M 的晶振。而由图 4 可知, FPGA 还需要产生周期为 13.85ms 的场同步信号和周期为 20.8 μs 的行同步信号, 这两个信号由 FPGA 中的计数器和触发器控制, 产生不同宽度和周期的脉冲信号, 再通过逻辑组合构成以满足图 4 的各时序要求。



	参数	时间	总时间
行	ha	2.4 μs	20.8 μs
	hb	1.2 μs	
	hc	16.1 μs	
	hd	1.1 μs	
场	va	6 lines / 125 μs	13.85ms
	vb	21 lines / 436 μs	
	vc	604 lines / 12563 μs	
	vd	35 line / 728 μs	

图 4 VGA 接口时序图

2.3 FPGA 控制逻辑实现

FPGA 的控制逻辑的重点和难点是 FPGA 的两个状态机的逻辑控制冲突问题, 以及 ARM 的数据刷新慢所带来的延迟问题。因此本系统采用了 2 块 SRAM 以达到可以存储两帧图像数据的存储空间, 并配置成 A、B 两块缓冲区, A 缓冲区用来缓存状态机一接收的图像数据, B 缓冲区内则保持一帧完整的图像数据供状态机二刷新至 D/A。具体的控制流程图如图 5 所示, FPGA 的状态机一在检测到 ARM 的帧同步脉冲后, 开始接收图像数据并存储至 A 缓冲区, 当接收的数据大小达到阈值 valve 时, FPGA 暂停接收数据, 并把 A 区刚才接收的 valve 大小的数据拷贝至 B 缓冲区的开头处, 然后继续把剩下的 ARM 过来的图像数据至 B 区, 直至一帧数据接收完成, 至此完成一帧图像数据

在 SRAM 中的更新。其中 valve 的值由 ARM 的 VCLK 频率、VGA 刷新频率和一帧图像的大小确定, 目的是保证接收剩余帧数据至 B 区的时间要小于刷新一帧 VGA 图像所需要的时间, 也就是 $T_b < 1/72\text{Hz}$ 。此方法解决了 ARM 图像数据刷过慢, 也就是屏幕上动态图像刷新延迟的问题。

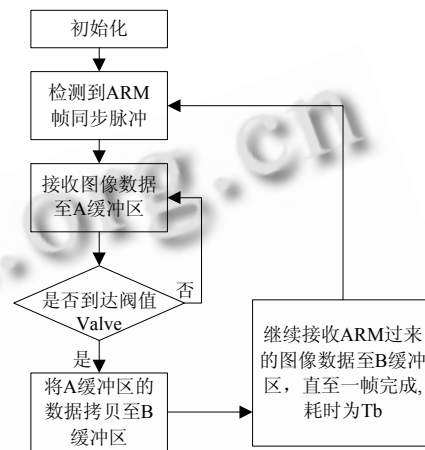


图 5 FPGA 控制逻辑流程图

3 结语

实验证明, 图像在显示器上很稳定, 效果很好, 肉眼感觉不到图像刷新。本系统的创新点是用 FPGA、SRAM 及数模转换模块结合, 实现了通用 VGA 接口的稳定转换, 解决了原有转换系统的显示器图像抖动, 屏闪以及图像刷新延迟等问题。并且理论上可支持更高的分辨率和更高的刷新率输出。本方案接口电路简单、应用灵活、稳定可靠, 可广泛应用于工业的显示系统。

参考文献

- 1 乔义川,冯丽辉.一种基于 S3C2410 的 LCD 转 VGA 简易技术方法研究.云南师范大学学报,2009,(4).
- 2 陈桂,田学隆.ARM 嵌入式平台下的 VGA 接口设计.单片机及嵌入式系统应用,2008.
- 3 Samsung Electronics. Users manual S3C2410A-200MHz & 266MHz 32-Bit RISC microprocessor. 2004.372-412.
- 4 谢昭莉,蒋涛,刘亮,金鑫.基于 ARM 嵌入式系统的 VGA 接口的研究与设计.液晶与显示,2007.
- 5 Xilinx. Spartan-3 FPGA Family Complete Data Sheet 2004.
- 6 范金龙,王景中.基于 CH7004 的嵌入式系统 VGA 接口设计.电子设计工程,2009,(9).