

基于遗传算法的 IP 核测试调度优化^①

邬毅松, 谈恩民

(桂林电子科技大学 电子工程与自动化学院, 桂林 541004)

摘要: 测试调度能够很好的减少测试时间和降低测试成本。通过调度, SOC 中尽可能多的 IP 核可以进行并行测试, 然而过度的并行测试会引起功耗过高, 对 SOC 产生不利影响。为了改善这个问题, 考虑峰值功耗因素的限制, 提出一种基于遗传算法的 IP 核测试调度优化方案, 寻求最短测试时间。通过对 ISCAS 标准电路组成的 SOC 进行仿真实验, 验证了该方案良好的优化效果, 实现了 IP 核测试调度的可靠性和经济性。

关键词: IP 核; 并行测试; 遗传算法; 测试调度

Test Scheduling for IP Cores Optimization Based On the Genetic Algorithm

WU Yi-Song, TAN En-Min

(College of Electronic Engineering, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: Test scheduling will reduce testing time and decrease testing cost. As many IP cores as possible can be tested in parallel by scheduling. But too many parallel tests will lead to over power and do harm to the SOC. To solve the problem, an IP cores test scheduling optimization method based on genetic algorithm is proposed. Searching for the shortest test time under considering power constrain. The experiment results of an ISCAS circuit based SOC verify the good optimization effect of the method, achieves reliability and economic for IP cores test scheduling.

Key words: IP cores; parallel test; genetic algorithm; test scheduling

1 引言

系统级芯片(system on a chip, SOC)一般由多个知识产权(intellectual property, IP)核组成, 使得它的测试得到越来越多的挑战。目前, 对于 IP 核的测试多采用 BIST 方法实现, 使用 BIST 可测性结构可以很好的保护 IP 核的知识产权。而对于 IP 核的串行测试, 所有测试任务都排队等候, 导致资源闲置严重, 测试时间过长等现象。而测试时间直接决定着测试成本。并行测试能同时执行多个测试任务, 可以很好的解决上述问题。但并行测试势必会带来功耗增加。由于峰值功耗过大会带来一系列问题, 比如必须增加芯片封装成本, 可能会在芯片测试时烧毁整个芯片等^[1]。本文采用遗传算法优化测试调度, 在峰值功耗约束的条件下, 将测试时间减到最小。

2 测试调度优化设计

2.1 功耗模型

CMOS 电路的功耗可以分为静态功耗和动态功耗。其中动态功耗是主要部分, 它是由于节点翻转时的短路电流和对负载电容的冲放电引起的。节点 i 在一个时钟周期内的功耗 E_i 表示如下:

$$E_i = \frac{1}{2} S_i C_i V_{dd}^2 \quad (1)$$

其中, C_i 是节点的负载电容, S_i 是节点一个周期内翻转次数, V_{dd} 是电源电压。近似的节点负载电容和其扇出 F_i 成正比。因此可以得到 E_i 近似表达式:

$$E_i = \frac{1}{2} S_i F_i C_0 V_{dd}^2 \quad (2)$$

其中 C_0 表示单个扇出平均负载电容。因此要计算该节

^① 基金项目: 国家自然科学基金项目(60861003)

收稿时间: 2010-12-02; 收到修改稿时间: 2010-12-28

点的功耗, 只要计算上式中的可变部分 $S_i F_i$, 文献[2]定义为 WSA(Weighted Switching Activity)。对于相邻测试向量对 $TP_k = (V_{k-1}, V_k)$ 所消耗的功耗:

$$WSA(TP_k) = \sum_i S(i, k) F_i \quad (3)$$

其中 i 遍历电路中的每一个节点, $S(i, k)$ 则表示 TP_k 引起的节点 i 翻转率。假定 BIST 的测试矢量 TS 集长为 L , 则可以用 WSA_{max} 来衡量 BIST 的峰值功耗:

$$WSA_{max} = \max_k \left\{ \sum_i S(i, k) F_i \right\} \quad (4)$$

其中, K 遍历整个矢量集。

BIST 结构一般包括 3 个部分: 测试矢量生成器(test pattern generator, TPG)、被测电路(circuit under test, CUT)和特征分析器(signature analyzer, SA)。TPG 通常采用的是 LFSR 结构, LFSR 的特点是产生的测试向量随机性大, 由功耗模型可知, 功耗会因为测试而增大。

2.2 调度算法

对于 SOC 测试来说, 一般通过测试访问机制(test access mechanism, TAM)驱动 BIST 执行测试, BIST 不依靠外部测试设备就可以在内部对电路完成测试。

对 SOC 进行 BIST 测试, 任意 n 个 IP 核都可以并行测试, 在功耗约束的情况下求最小测试时间, 显然这是个 NP 问题。而遗传算法的一个关键的主题就是设计合理的编码方法和遗传操作, 去劣存优, 最终得到任务规划的最优解或者近优解。

2.2.1 染色体编码

采用基于测试顺序的编码, 对 N 个 IP 核分别用整数 $1, 2, \dots, n$ 进行排序, 组成一个染色体, 一个 IP 核为染色体的一个基因, 则一个染色体为: $P = (p_1, p_2, \dots, p_n)$ 。 $p_1 \sim p_n$ 只能取 1 或者 0。

2.2.2 个体的适应度

个体的适应度是反映染色体的选择在考虑功耗约束的情况下, 对测试时间的优化。假设 A 个 IP 核进行并行测试时, 所用的测试时间 T 取测试时间最长的那个核:

$$T = \max \{T_1, T_2, \dots, T_A\} \quad (5)$$

目标函数为测试时间:

$$T(k) = \sum_i T_i \quad (6)$$

T_i 表示第 i 步并行测试时所需要的测试时间, $T(k)$ 表示测试完成所需要的总时间。

考虑到同时进行测试的 IP 核越多, 产生的功耗就会越大, 而功耗过大会因为过热而使芯片烧坏。因此设定约束函数为测试功耗:

$$P(k) = \sum_j P_j \quad (7)$$

P_j 表示核 j 的动态功耗, $P(k)$ 就是并行测试的 IP 核的总功耗。

构造如下适应度函数

$$f = 1 / T(k) + \alpha * P(k) \quad (8)$$

其中 α 是惩罚系数, $P(k)$ 当超过功耗上限时, α 为 0, 该染色体被丢弃。

2.2.3 染色体的选择

采用轮盘赌选择法, 设群体大小为 n , 选择步骤如下:

- 1) 计算每个染色体的适应值: f_i
- 2) 计算群体的总适应值:

$$F = \sum_{i=1}^n f_i \quad (9)$$

- 3) 计算每个染色体 i 的选择概率:

$$p_i = \frac{f_i}{F} \quad (10)$$

- 4) 计算每个染色体的累积概率:

$$q_i = \sum_{i=1}^k p_i \quad (11)$$

- 5) 随机产生一个随机数 r , 若 $q_{i-1} < r < q_i$, 则种群的第 i 个染色体为竞争选择到的染色体。

2.2.4 染色体的交叉与变异

交叉策略采用双亲单点交叉, 随机选择一个断点, 将双亲断点位置后面的部分交叉, 得到新的子体。变异策略采用移位变异, 随机选择将一个基因插入一个位置, 让其它基因向左或者向右移位, 避免早熟现象。

2.2.5 终止条件

以预先设定好的最大进化代数作为终止条件。遗传算法流程如下:

```

Population initialize
Generation=0;
While(不满足终止条件) do
{
compute new chrome
check peak power of chrome
figure out fitness
    
```

```

select the next population
generation++;
}
report results
    
```

3 实验结果

实验在 CPU 为 Pentium IV 3.06GHz, 内存为 512MHz 的 PC 上用 C 语言进行编程实验。本文采用的 SOC 实验电路 S1 结构如图 1 所示。

它是由 10 个带有 BIST 结构的 IP 核组成, 分别为 5 个 ISCAS' 85 组合式 IP 核和 5 个 ISCAS' 89 时序式 IP 核。S1 电路中 BIST 扫描路径的组成和 IP 核的峰值功耗的计算采用了文献[6]中的方法统计如表 1 所示。表 1 中 FC 是表示能够达到的故障覆盖率 (fault coverage)。

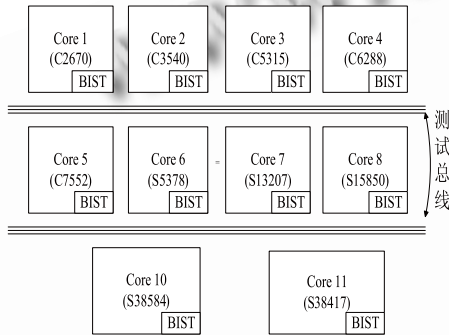


图 1 SOC 结构

所有测试的时间都是测试时钟周期数。用遗传算法进行编程实验, 遗传算法的参数设置如下: 初始种群为 50, 交叉概率为 0.8, 变异概率为 0.05, 最大进化代数数为 100。

表 1 S1 电路中各个 IP 核的参数

IP 核	输入	输出	门数	测试长度	FC	峰值功耗 /mW
C2670	233	140	1193	10000	84.91	4613
C3540	50	22	1669	4947	96.05	4942
C5315	178	123	2307	1705	98.90	6077
C6288	32	32	2416	89	99.56	35023
C7552	207	108	3512	8306	93.92	10335
S5378	39	53	2958	9681	98.22	3652
S13207	47	137	8620	10000	91.58	9226
S15850	30	103	10369	9811	91.22	12550
S35932	67	352	17793	248	89.64	46638
S38584	44	310	20705	9936	94.37	27569

表 2 实验结果

SOC	最大功耗/mW	最大并行测试 IP 核	并行测试时间/串行测试时间比率%
S1	50000	3	51
S1	60000	5	46
S1	100000	6	29

从表 2 的结果可以看出, 加上功耗约束后, 能够并行测试的 IP 核并不是最大化。功耗约束强, 可并行测试的 IP 核就少, 测试时间相应就长, 功耗约束弱, 测试时间相应就短。

4 结语

本文介绍了一种基于遗传算法的 IP 核并行测试调度优化方案, 该方法在考虑测试功耗约束的情况下, 更有效率的并行测试, 使测试时间得到了显著的减少, 证明了该方案的可行性。

参考文献

- Bonhomme Y. Test Power: A Big Issue in Large SOC Designs. Proc. of the First IEEE International Workshop on Electronic Design, Test and Applications DELTA'02. 2002. 447-449.
- Cataldo S, Chiusano S, Prinetto P. Optimal Hardware Pattern Generation for Functional BIST. IEEE International Conference on Computer-Aided Design, 2000. 292-297.
- Zorian Y. A distributed BIST Control Scheme for Complex VLSI Devices. Proc. of IEEE VLSI Test Symposium. Eleventh Annual, 1993.4-9.
- Dan Z, Upadhyaya S. Dynamically Partitioned Test Scheduling for SOC's Under Power Constraints. VLSI Test Symposium, 2003.273-278.
- Singh B, Khosla A, Bindra S. Power Optimization of Linear Feedback Shift Register(LFSR) for Low Power BIST. IEEE International Advance Computing Conference, 2009. 311-314.
- Cirit MA. Estimating Dynamic Power Consumption of CMOS Circuits. ACM/IEEE Int'l Conference on CAD, 1987. 534-537.
- Gerstendorfer S, Wunderlich HJ. Minimized Power Consumption for Scan-Based BIST. ITC99,1999.77-84.
- 王小平,曹立明.遗传算法——理论、应用与软件实现.西安:西安交通大学出版社,2002.