

基于 MicroBlaze 嵌入式系统的 WCDMA 评估系统^①

胡 锦¹, 杨亚光¹, 齐 帅², 张 浩³

¹(湖南大学 物理与微电子科学学院, 长沙 410082)

²(西北工业大学 电子信息学院, 西安 710129)

³(中国科学院 微电子研究所, 北京 100029)

摘 要: MicroBlaze 软核是一种针对 Xilinx FPGA 器件而优化的功能强大的 32 位微处理器, 它支持 CoreConnect 总线的标准外设集合, 具有兼容性和重复利用性。介绍了以 FPGA 协同 MicroBlaze 嵌入式软核为开发平台的系统设计方法, 并在此平台上实现了 WCDMA 评估系统的设计和验证。

关键词: FPGA; xilinx microblaze; WCDMA 评估系统

WCDMA Evaluation System Based on MicroBlaze Embedded System

HU Jin¹, YANG Ya-Guang¹, QI Shuai², ZHANG Hao³

¹(Hunan University, Changsha, 410082, China)

²(Northwestern Polytechnical University, Xi'an 710129, China)

³(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 10029, China)

Abstract: MicroBlaze softcore, optimized for Xilinx FPGA devices, is a powerful 32-bit microprocessor, which supports the standard CoreConnect bus peripheral set and has strong compatibility and reusability. This paper introduces the system design methods based on FPGA cooperating with MicroBlaze embedded soft core and implements a WCDMA evaluation system.

Keywords: FPGA; xilinx microblaze; WCDMA evaluation system

1 引言

FPGA(Field Programmable Gate Array)即现场可编程门阵列, 属于可编程逻辑器件的一种, 在 20 世纪 90 年代获得突飞猛进的发展。经过近 20 年的发展, FPGA 目前已经实现成为实现数字系统的主流平台之一^[1]。随着 FPGA 制造工艺的不断提高, 芯片上的可编程逻辑门阵列的规模不断扩大, 在片上集成的资源越来越丰富, 包括中央处理器、数字信号处理器、存储器以及各种外围资源都已嵌入其中, 这样使得可编程片上系统(System On Programmable Chip, SOPC)技术的实现变得更加方便、有效。SOPC 是一种可编程的片上系统, 其软件和硬件系统都具备可编程功能, 其可编程的优势还可以与多种 IP(Intellectual Property)相结

行系统开发和系统的升级和重构。SOPC 技术缩短了系统开发周期, 能达到更好的设计效果的同时还能满足苛刻的设计要求。

目前的 SOPC 设计解决方案主要分为两种^[2]: 第一种是嵌入处理器 IP 硬核的 SOPC 系统, 这是一种将 PowerPC、ARM 等处理器硬内核嵌入各种可编程逻辑器件并进行应用系统 SOPC 设计的解决方案; 第二种是嵌入处理器 IP 软核的 SOPC 系统, 这种方案是将处理器软内核嵌入各种可编程逻辑器件并进行应用系统 SOPC 的设计。此方案主要采用 Altera 公司的 NiosII 软核以及 Xilinx 的 MicroBlaze 软核。对于以上两种解决方案, 后者能有效地弥补前者的诸多缺陷, 例

① 基金项目: 国家高技术研究发展计划(863)(2009AA011606)

收稿时间: 2010-10-08; 收到修改稿时间: 2010-11-13

如：设计者可根据处理目标配置优化软核处理器，设计构建硬件加速器及相应的 RISC(Reduced Instruction System Computer)指令。这种基于 SOPC 技术的可配置型处理器设计方案，可以解决仅靠增加主频速度难以提高处理器工作速度的难题。

文章首先介绍了 MicroBlaze 处理器的特点，然后介绍了基于 MicroBlaze 的 SOPC 的设计流程，最后给出了一个基于 MicroBlaze 的 WCDMA 原形验证系统的一个设计实例。

2 MicroBlaze软核概述

MicroBlaze 软核是一种针对 Xilinx FPGA 器件而优化的功能强大的 32 位微处理器，是业界最快的软处理器 IP 核解决方案。它支持 CoreConnect 总线的标准外设集合，具有兼容性和重复利用性。

MicroBlaze 软核内部采用 RISC 架构，以及哈佛结构的 32 位指令和数据总线，能够高速执行和访问内部片内存储器 and 外部存储器，其结构如图 1 所示^[3]：

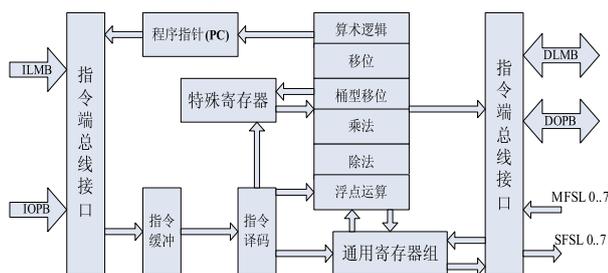


图 1 MicroBlaze 内部结构图

MicroBlaze 软核内部有 32 个 32 位通用寄存器，2 个 32 位特殊寄存器程序指针(PC)和处理器状态寄存器(MSR)，1 个 ALU 单元，1 个移位单元和两级中断响应单元等基本模块，还可具有 3/5 级流水线，桶形移位器，内存管理保护单元，浮点单元(Float Point Unit)，高速缓存，异常处理和调试逻辑等可根据性能需求和逻辑区域成本任意剪裁的高级特性，极大地扩展了 MicroBlaze 的应用范围。

3 MicroBlaze总线技术

MicroBlaze 软核采用了由 IBM 公司开发的 Core Connect 片上总线通信链，它使多个芯片核相互连接成为一个完整的新芯片成为可能，Xilinx 以 IBM 的 Core Connect 为嵌入式处理器的设计基础，具有丰富的接口资源。Core Connect 总线结构包括了处理器本机总线

(PLB)、片上外围总线(OPB)、两个判优器、一个总线桥和一个设备控制寄存器(DCR)总线^[4]。由于 MicroBlaze 以 Core Connect 结构为基础，所以 Xilinx 为所有的嵌入式处理器用户提供 IBM Core Connect 的许可。MicroBlaze 软核支持的接口标准有：带字节允许的片上外设总线 (On-chip Peripheral Bus, OPB)接口；高速的本地存储器总线(Local Memory Bus, LMB)接口；FSL (Fast Simplex Link)主从设备接口；Xilinx 缓存链路(Xilinx Cache Link, XCL)接口；与微处理器调试模块(Microprocessor Debug Module, MDM)连接的调试接口；PLB(Processor Local Bus)接口。

OPB 是对 IBM Core Connect 片上总线标准的部分实现，适用于将 IP 核作为外设连接到 MicroBlaze 系统中，在新的嵌入式开发平台中，PLBv46 高性能同步总线已经代替了 OPB 总线接口，用来将处理器与高性能外围设备相连接；LMB 用于实现对片上的 BlockRAM 的高速访问；FSL 是 MicroBlaze 软核特有的一个基于 FIFO 的单向链路，可以实现用户自定义 IP 核与 MicroBlaze 内部通用寄存器的直接相连；XCL 则是 MicroBlaze 软核用于实现对片外存储器的高速访问；MicroBlaze 软核还有专门的调试接口，通过参数设置，开发人员可以只使用特定应用所需要的处理器特性。

4 MicroBlaze嵌入式系统开发流程

在进行 MicroBlaze 嵌入式系统开发时，使用 Xilinx 公司提供的嵌入式开发工具包，其中包括 Xilinx 平台库(Xilinx Platform Studio, XPS)和软件开发工具(Software Development Kit, SDK)两个部分。Xilinx 为用户提供了丰富的 IP 资源用来满足用户对不同系统的设计要求，如外部存储控制器、SDRAM 控制器、UART、中断控制器、定时器等，在开发工具提供的 IP 不能满足系统设计的要求时，用户可以定制自己的 IP 实现系统功能。

XPS 工具通过功能调用的方式对 SOPC 中各种功能模块进行调用，以完成硬件平台的搭建。XPS 主要用来进行嵌入式系统硬件部分的设计，如处理器的硬件规范、外设的规范，以及组件的互连等等，同时 XPS 也能完成相应的属性设置。在 XPS 工具中能够进行简单的软件开发工作，但是如果涉及到更复杂的应用程序设计与调试，Xilinx 建议使用软件平台开发工具 SDK 来完成相应的开发。

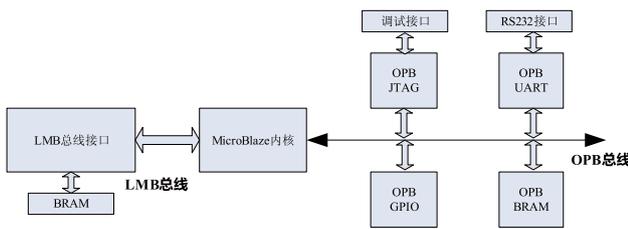


图 2 MicroBlaze 嵌入式系统

完整的 SOPC 设计包括硬件设计和调试，软件设计和调试，以及仿真等步骤。主要有：(1)利用 XPS 工具创建硬件平台，(2)添加 IP Core 以及用户定制外设，来满足系统的各种功能需求；(3)生成仿真文件和硬件比特流（硬件网表和比特流文件）；(4)开发系统软件；(5)将软硬件比特流文件合并下载至 FPGA；(6)在线调试，监控相关信息。设计流程图如图 3 所示。

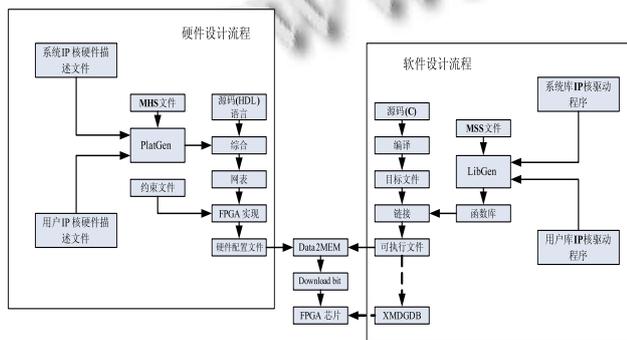


图 3 嵌入式设计流程图

5 MicroBlaze 的应用及验证结果

WCDMA(Wideband Code Division Multiple Access)即宽带码分多址系统，是现行的第三代移动通信标准之一，具有较高的扩频增益，发展空间较大，全球漫游能力最强，技术成熟性最佳。与传统的 CDMA 技术相比，第三代移动通信的最大特点在于能支持多种速率的业务，从语音到分组数据到多媒体业务，并能根据具体的业务需要，提供必要的带宽。3GPP 协议规定 WCDMA 系统支持的业务类型包括：5.15Kbps~12.2Kbps 语音数据、64Kbps 电路数据、144Kbps 分组数据和 384Kbps 分组数据^[5]。

文章所设计的 WCDMA 评估系统是用来测试 WCDMA 系统的基带发送和接收方案。在 WCDMA 系统中一个物理信道用一个特定的载频、扰码和信道化码来定义。WCDMA 的物理信道采用 10ms 长的无线帧结构，每个无线帧被分成 15 个时隙(在码片速率

3.84Mcps 时为 2560chip/slot)。论文设计的评估系统主要包括以下主要物理信道：专用下行链路信道、公共导频信道、同步信道。三个信道利用不同的扰码和信道化码进行区分，最后将不同信道的信号合并，在时间上并行传输。

在系统的发射端，发射数据按编码块为单位进行 CRC 校验、纠错编码、速率匹配、交织、复用、组帧、扩频加扰、成型滤波、D/A 转换、最后提供给模拟前端发射数据。在接收端，经过 AD 的数据首先进行帧同步处理，找到无线帧的起始位置。同步主要就是利用下行信道的公共导频信道和同步信道来进行相关，找到无线帧的起始位置。在找到帧起始位置后，开始对接收数据进行相应的相位补偿，解调，解扰，解扩，解交织和信道解码等处理，如图 4 所示。

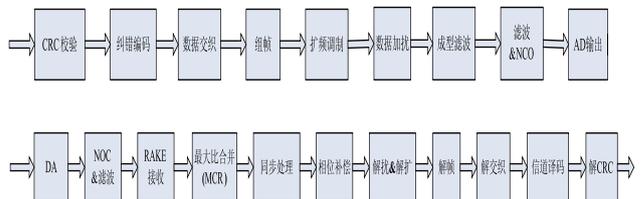
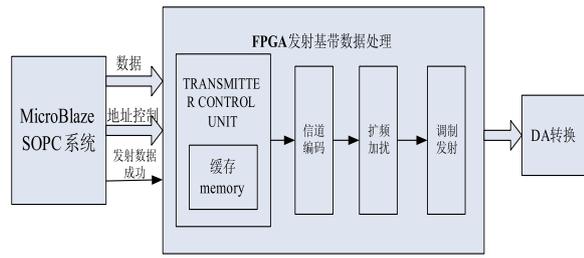


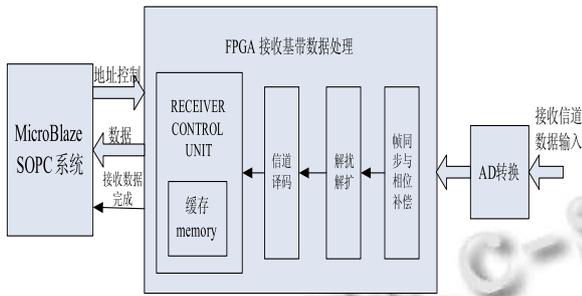
图 4 系统数据处理流程

在该系统中，FPGA 片上系统完成数据发射和数据接收。发射机原理框图如图 5 所示。在发射机中，通过 FPGA 硬件平台完成发射部分算法的实现，通过 SOPC 系统设置系统的信噪比，多径参数等并传输发射数据，然后通过 FPGA 硬件平台完成对 WCDMA 系统基带数据的算法处理，最后通过 DA 转换器将数据输出。接收机原理框图如图 5 所示。对于系统的数据接收部分，首先通过 AD 数据转换，然后经过 FPGA 完成对接收到的基带数据处理后，把接收数据发送到 SOPC 主机。

FPGA 硬件平台处理数据时以编码块为单位，同时保证最后发射数据码片速率满足 3.84 Mcps。通过设置定时器，以固定时间从 MicroBlaze 系统产生发射数据(如图 6 所示)，将发射数据写入发射数据缓冲 Memory，然后通过写控制寄存器通知物理层当前发射数据已经准备好，物理层可以启动数据发射。当接收到一编码块数据时，物理层将接收数据写入接收缓冲 Memory 中，再以中断的方式通知 MicroBlaze 系统读取数据，完成接收端解码数据的回读。最后测试结果通过 MicroBlaze 处理器的 uart 端口打印与 PC 显示。



(a) WCDMA 评估系统发射机



(b) WCDMA 评估系统接收机

图5 WCDMA 评估系统发射机和接收机原理图

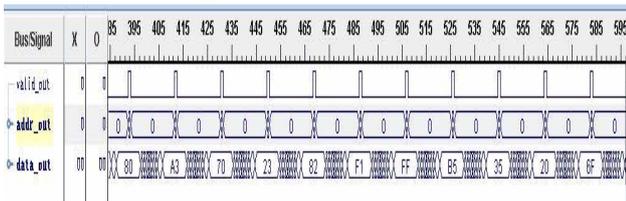


图6 MicroBlaze 系统发射数据

通过 Xilinx 公司的 ISE 和 EDK 开发平台对该系统的硬件平台进行设计^[6]。首先通过 XPS 平台设计嵌入式处理器 MicroBlaze 子模块,接着通过 ISE 在设计工程中添加已经建立好的嵌入式处理器 MicroBlaze 系统的 XMP 文件,选择 XMP 源运行“View HDL Instantiation Template”来产生 MicroBlaze 系统的 HDL 模板样例,将模板中的 HDL 部分作为顶层 FPGA 设计源的子模块例化到 WCDMA 系统的工程顶层文件中,最后将工程综合后的硬件 bit 流文件和软件 elf 文件合并并下载至 FPGA 进行在线调试,如图 7 所示。

由于 MicroBlaze 系统作为 WCDMA 评估系统的子模块,所以在与硬件算法模块相连时,自定义了 IP 接口,用来完成 MicroBlaze 系统和硬件平台的数据交换。在这里需要注意的是在 MicroBlaze 系统中数据是 Big Endian,而在 ISE 中的数据是 Little Endian,所以在数据互连应该注意数据位置的对应。图 8 给出了接收机

信道解码输出结果。

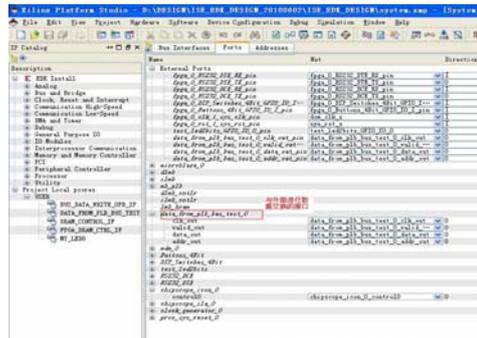


图7 MicroBlaze 嵌入式系统硬件组成

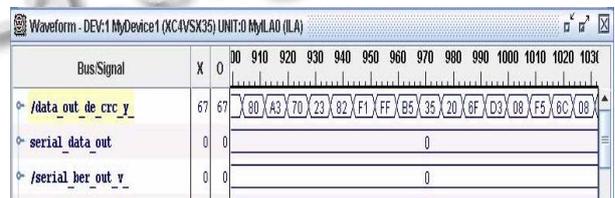


图8 实验结果(接收信道解码输出)

6 结论

通过采用 FPGA 和 MicroBlaze 嵌入式软核进行系统的设计验证,能充分发挥可编程器件开发灵活、设计周期短、验证方便的特点。通过采用这种设计方式,实现了 WCDMA 评估系统的设计和验证。在嵌入式系统设计中, MicroBlaze 处理器使得整个设计更加灵活、高效,并有利于实现系统小型化和集成化。

参考文献

- 1 田耘.Xilinx FPGA 开发实用教程.北京:清华大学出版社,2009.1-2.
- 2 潘松.SOPC 技术实用教程.北京:清华大学出版社,2005.5-6.
- 3 阮芳.基于 Xilinx MicroBlaze 的嵌入式 I/O 系统设计与实现.电子器件,2008,31(2).
- 4 杨强浩.基于 EDK 的 FPGA 嵌入式系统开发.北京:机械工业出版社,2008.20-21.
- 5 罗翔.WCDMA 系统基带处理的 DSP+FPGA 实现方案.电子产品世界,2002,11.
- 6 Xilinx. MicroBlaze Processor Reference Guide EDK (v6.1). Http://www.xilinx.com