

一种基于FPGA的图像格式转换设计^①

杨小宁 郑善贤 王炼红 朱 喜 (湖南大学 电气与信息工程学院 长沙 410082)

摘要: 为了实现图像的实时处理,常采用现场可编程门阵列(FPGA)对采集到的图像数据首先进行格式转换处理。本文以对 Micron MT9V112 传感器的三种图像格式输出的处理为例,首先就 YCbCr4:2:2 转 YCbCr4:4:4, RGB565 转 RGB888, Bayer 格式转 RGB888 及降噪的原理进行了介绍,然后应用 Verilog HDL 语言设计出相应的硬件模块,最后结合 MATLAB 工具对硬件模块处理后的数据做了相应的仿真。仿真结果表明,该设计对分辨率低于 640x480 的图像数据能够很好的满足其实时性要求,达到了预期的效果。

关键词: 图像格式转换;现场可编程门阵列;硬件描述语言

Design of Image Format Conversion Based on FPGA

YANG Xiao-Ning, ZHENG Shan-Xian, WANG Lian-Hong, ZHU Xi

(College of Electrical and Information Engineering, Hunan University, Changsha 410082, China)

Abstract: During the procedure of real-time image processing, FPGA was often utilized to convert the format of collected digital image. This paper looks at how to process the conversion of 3 types format image, which comes from Micron MT9V112 CMOS DIGITAL IMAGE SENSOR. The study first introduces YCbCr4:2:2 to YCbCr4:4:4, RGB565 to RGB888, Bayer data to RGB888 and image denoising methods. It then gives the design module based on Verilog HDL and simulation via MATLAB. The simulation result demonstrates that this module can successfully process 640x480 pixels with desirable real-time results.

Keywords: image format conversion; FPGA; verilog HDL

1 引言

随着计算机和视频技术的广泛发展,数字图像技术在电子通信与信息处理领域得到了广泛的应用。但是由于现有技术的不足,使得图像在生成、传输、处理及存储所使用的格式不完全一样^[1]。因此,图像处理电路中各种格式之间的转换势在必行。本文以 YCbCr4:2:2 转 YCbCr4:4:4, RGB565 转 RGB888, Bayer 格式转 RGB888 为例,以 FPGA 芯片为平台设计了图像格式转换硬件模块。整个设计中,对于所有的乘数固定的乘法功能,都是通过移位累加来实现,没有用到硬核乘法器,使得成本降到最少,在时序仿真时,主时钟 PIXCLK 可以达到 100MHz 以上。

2 图像格式转换设计原理

2.1 YCbCr4:2:2 转 YCbCr4:4:4 设计原理

在 DVD、摄像机、数字电视等消费类视频产品中,常用的色彩编码方案是 YCbCr,其中 Y 是亮度分量,Cb 是蓝色色度分量,而 Cr 是指红色色度分量。人的肉眼对视频的 Y 分量更敏感,因此,通过对色度分量进行子采样来减少分量后,肉眼将觉察不到图像质量的变化。

YCbCr4:4:4 的三个信道的抽样率相同,因此在生成的图像里,每个像素的三个分量信息完整(每个分量通常是 8 比特),经过 8 比特量化之后,未经压缩的每个像素占用 3 个字节,YCbCr4:2:2 每个色差信道的抽样率是亮度信道的一半,所以水平的色度抽样率

① 收稿时间:2010-03-12;收到修改稿时间:2010-04-15

只是 YCbCr4:4:4 的一半, 对非压缩的 8 比特量化的图像来说, 每个由两个水平方向相邻的像素组成的宏像素需要占用 4 字节, 即平均每个像素只需占用 2 字节。以下为原始像素、YCbCr4:2:2 子采样及映射出的 YCbCr4:4:4 之间的关系:

原始像素:

[Y0 Cb0 Cr0] [Y1 Cb1 Cr1] [Y2 Cb2 Cr2] [Y3 Cb3 Cr3]

YCbCr4:2:2 子采样为:

[Y0 Cb0][Y1 Cr1][Y2 Cb2][Y3 Cr3]

映射出的 YCbCr4:4:4 为:

[Y0 Cb0 Cr1] [Y1 Cb0 Cr1] [Y2 Cb2 Cr3] [Y3 Cb2 Cr3]

2.2 RGB565 转 RGB888 设计原理

RGB565 是图像传感器的一种常用输出格式, 但是由于图像处理的需要, 我们常常将其转换为 RGB888。以下给出了 RGB565 及映射出的 RGB888 之间的关系:

RGB565 的一个像素为:[R7 R6 R5 R4 R3 G7 G6 G5 G4 G3 G3 B7 B6 B5 B4 B3]映射出的 RGB888 的像素为: [R7 R6 R5 R4 R3 0 0 0 G7 G6 G5 G4 G3 G3 0 0 0 B7 B6 B5]

2.3 Bayer 格式转 RGB888 及降噪设计原理

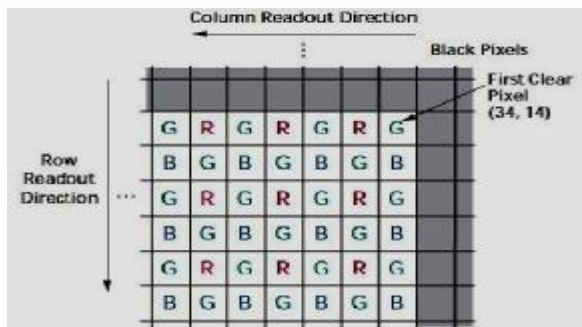


图 1 Micron MT9V112 传感器的 Bayer 图像输出格式

图 1 给出了 Micron MT9V112 传感器的 Bayer 图像输出格式, 下面结合图 1 给出 Bayer 格式到 RGB888 格式转换及降噪的主体部分设计原理。从图中可以看出, 第一个清晰的像素点记为 p(34,14), 这里给出四个典型位置的格式转换及降噪的处理方法, 其它位置的处理与之类似, 这四个典型位置的像素点分别记为 p(46,63), p(46,64), p(47,63), p(47,64), 以下是

相应的处理算法:

(1) 格式转换算法:

$$pt_{(46,63)} = G1\{ p_{(45,62)}, p_{(45,63)}, p_{(45,64)}, p_{(46,62)}, p_{(46,63)}, p_{(46,64)}, p_{(47,62)}, p_{(47,63)}, p_{(47,64)} \};$$

$$pt_{(46,64)} = G2\{ p_{(45,63)}, p_{(45,64)}, p_{(45,65)}, p_{(46,63)}, p_{(46,64)}, p_{(46,65)}, p_{(47,63)}, p_{(47,64)}, p_{(47,65)} \}; \quad (1)$$

$$pt_{(47,63)} = G3\{ p_{(46,62)}, p_{(46,63)}, p_{(46,64)}, p_{(47,62)}, p_{(47,63)}, p_{(47,64)}, p_{(48,62)}, p_{(48,63)}, p_{(48,64)} \};$$

pt_(47,64) = G4{ p_(46,63), p_(46,64), p_(46,65), p_(47,63), p_(47,64), p_(47,65), p_(48,63), p_(48,64), p_(48,65) };这里的 pt_(46,63)表示转换后对应于点 p_(46,63)的 R、G、B 数据, 而 G1 表示相应的转换算法, 即如何由该点及其八邻域中的像素点来获得该点彩色图像的 R、G、B 值, 可以根据不同的需要, 修改各点所占的权位, 即可得到不同的转换效果。上面所举的转换算法, 每一个等式其实对应着三个子等式, 即分别对应着该点的 R、G、B 转换算法。

(2) 降噪算法:

本部分主要实现由 Bayer 转换来的 RGB888 的降噪, 采用两条线来滤波实现, 结合图 1 及格式转换算法的表达式, 给出降噪模块主体部分的实现原理。假设需要降噪的点为 pt_(46,63), 那么该点的降噪算法为:

$$pn_{(46,63)} = pt_{(46,63)} * 1/2 + pt_{(46,62)} * 7/32 + pt_{(47,62)} * 1/32 + pt_{(47,63)} * 5/32 + pt_{(47,64)} * 3/32$$

其中 pn_(46,63)表示对应于像素点 pt_(46,63)降噪后的数据,此处的滤波权重分别为 1/2、7/32、1/32、5/32、3/32。

3 图像格式转换的硬件设计

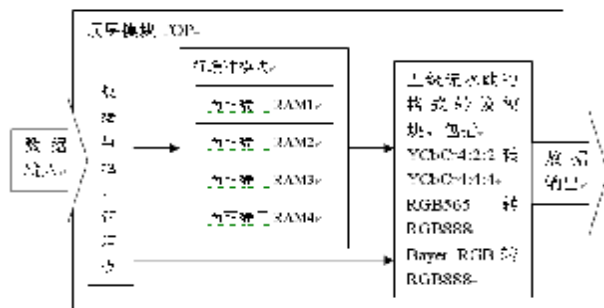


图2 图像格式转换模块硬件设计原理图

图像格式转换模块的硬件设计原理图如图2所示,从图中可以看到,对数据的处理共有两条路径,当输入数据为 Bayer 格式时,处理数据的路径为数据与地址管理模块、行缓冲模块、五级流水线的格式转换模块,当输入数据为 RGB565 或 YCbCr4:2:2 时,处理数据的路径为数据与地址管理模块、五级流水线的格式转换模块。其中对 Bayer 格式的转换有如下两点说明:

(1) 输入行缓冲模块中的数据要比五级流水线的格式转换模块所处理的数据提前两个行周期,即数据写入 RAM4 中时,格式转换模块还在处理 RAM2 中的数据,其它情况以此类推。

(2) 对于 640x480 Bayer 格式边沿的处理采用了 Mirror 功能,即相当于对 640x480 矩阵,以边沿的行(列)为对称轴,向外翻折 1 至 2 行(列),然后按照相应的格式转换算法和降噪算法进行处理。

4 图像格式转换模块的仿真与验证原理

本模块的验证采用了灰盒测试法,通过一些状态寄存器和一些专门的接口来获取被验证电路中的关键信息,并以 txt 文本文件保存。图3给出了图像格式转换模块 Testbench 模型示意图,其实现的步骤主要分为以下三步:

1) 用 MATLAB 编程^[7],分别产生 YCbCr 4:2:2、RGB565、Bayer 输入测试激励。

2) 将输入测试激励分别输入格式转换模块和 MATLAB 程序中,可以分别得到两组关键信息。

3) 比较这两组关键信息,如果一致,则运用 MATLAB 函数显示图像;如果不一致,则检查错误并修改后再运行,直到两者的关键信息一致。

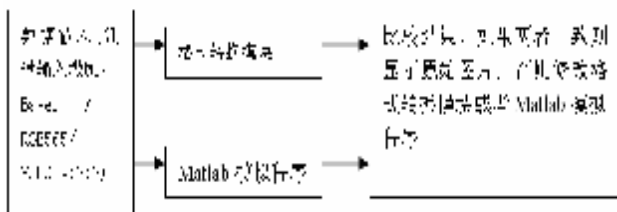


图3 图像格式转换模块 Testbench 模型示意图

5 仿真结果

本论文所设计的图像格式转换模块,采用的软件

开发工具是 Xilinx ISE Foundation 10.1,综合工具是软件中自带的 XST(VHDL/Verilog)^[2-6],仿真工具是 Modeltech 的 ModelSim XE III 6.3c 以及 MATLAB R2007a,采用的 FPGA 芯片是 Xilinx 公司的 Virtex5 系列 XC5VSX50T,模块中仿真主时钟频率 PIXCLK 为 100MHz。格式转换后的效果如图4(b)所示。由两幅图的比较可以看到,复原出来的图像只是在细节上比原始图模糊一点,因此达到了预期的效果。

6 结论

在图像格式转换模块中,时序仿真时,我们所使用的主时钟频率 PIXCLK 是 10ns,即 100MHz,远大于实际传感器(如 Micron MT9V112)在 Bayer 格式的 13.5MHz、RGB565 的 27MHz 和 YCbCr4:2:2 的 27MHz,所以很容易满足当前 640x480(VGA 格式)的时序要求,下一步将从以下两个方面对现有模块进行改进:第一个方向就是把降噪模块处理方法由两条线滤波改为一条线滤波,那么在行缓冲时所用到的 RAM 线将由原来的 4 条变为 3 条,这将使成本大为下降,而且从 MATLAB 仿真中可以看到,图像效果改变不大;第二个方向就是改用寄存器参数控制,从而使得设计出来的格式转换模块能够同时兼容数种格式转换,包括 640x480(VGA)、352x288(CIF)、800x600(SVGA)、1280x1024(SXGA)、1280x720、以及 1920x1080 等,从而可以进一步扩大芯片的使用范围。

参考文献

- 1 阮秋琦.数字图像处理学.北京:电子工业出版社,2001:212—229.
- 2 王金明.数字系统设计与 Verilog HDL.第三版,北京:电子工业出版社,2009:241—242.
- 3 云创工作室. Verilog HDL 程序设计与实践.北京:人民邮电出版社,2009:25—55.
- 4 乔庐峰. Verilog HDL 数字系统设计与验证.北京:电子工业出版社,2009:91—105.
- 5 刘秋云,王佳. Verilog HDL 设计实践与指导.北京:机械工业出版社,2005:135—149.
- 6 袁文波,张皓,唐振中. FPGA 应用开发从实践到提高.北京:北京航空航天大学出版社,2007:88—98.
- 7 陈怀琛.数字信号处理教程——MATLAB 释义与实现.第2版,北京:电子工业出版社,2008:252—2.