

基于折叠集合的确定模式 BIST 的低功耗设计^①

Low Power Design of Congirm - mode BIST Based on Folding Set

谈恩民 梁晓琳 刘建军 (桂林电子科技大学 电子工程学院 广西桂林 541004)

谈恩民 (上海交通大学 电子信息与电气工程学院 上海 200030)

摘要: 提出了一种确定模式 BIST 的低功耗设计方案,它是在基于折叠计数器的基础上,采用 LFSR 编码折叠计数器种子,并通过选定的存储折叠距离来控制确定的测试模式生成,使得产生的测试矢量之间实现单跳变。由于是在确定测试矢量基础上进行的研究,而没有改变原来的测试矢量,因而故障覆盖率不会改变,这样既保证了高故障覆盖率又解决不同种子所生成的测试模式之间的重叠、冗余。研究结果表明该方案不仅具有很好的数据压缩率,而且证明了该方案的有效性。

关键词: 低功耗设计 折叠集 折叠矢量 伪单输入跳变 确定测试

1 引言

在 DFT 的方法中,内建自测试(BIST)由于具有许多优点已经成为超大规模集成电路测试中的一个最具前景的解决方法。伪随机模式测试是当前 BIST 中最受欢迎的测试方法,因为它不需要占用很大的存储面积开销,只需要有限个数的输入向量便可达到很高的故障覆盖率。但是对于电路中剩余的难测故障所需要的测试模式的数量可能会很巨大,以致于不能实用,采用确定模式测试集来覆盖被测电路中剩余的难测故障就成为被关注的研究方向。折叠集^[1]就是一种简单有效的确定模式测试集,基于折叠集的确定模式 BIST 提供了一种非常实用的 BIST 解决办法。

本文第 2 节介绍相关工作。第 3 节给出双重编码技术。第 4 节给出本文方案结构原理图。第 5 节给出实验数据以及分析结果。第 6 节给出本文小结。

2 约翰逊折叠计数器的工作原理

约翰逊折叠计数器又称为可编程的约翰逊折叠计数器(后简称折叠计数器),它带有动态改变的状态转移函数,取决于计数器的状态和转移距离。从一个初始状态 $S \in \{0, 1\}$ 开始,产生一个 $n+1$ 状态序列 $F(0, s), F(1, s), \dots, F(n, s)$, 其中状态从 $F(i, s)$ 转

移到 $F(i+1, s)$ 保持前 i 位不变,翻转所有余下位。翻转仅仅由位置 j 和转移距离 i 决定。状态转移函数如下^[2,3]:

$$\text{inv}(j, i) = \begin{cases} j & \text{if } j < i \quad (1 \leq j \leq n, 0 \leq i \leq n) \\ i & \text{else} \end{cases}$$

对于 $x \in \{0, 1\}$ 是一个向量 $x = x_1 x_2 \dots x_i \dots x_n$, 让 $^{-i}x_i$ 表示对变量 x_i 逻辑非 j 是偶数的话, 那 $^{-i}x_i = x_i$, 否则 $^{-i}x_i = \bar{x}_i$, 我们用 $F(k, x)$ 表示对 x 的 k 次折叠计算 $F(k, x) = (-\text{inv}(1, k)x, -\text{inv}(2, k)x, \dots, -\text{inv}(n, k)x)$ 例如 $x = 1001$, $k = 3$ $F(3, x) = ^{-1-2^0-3^0-3^1} = 0010$ 如表 3-1 所示, 一个折叠计数器生成一个完整的折叠序列的例子其中每个状态序列可由初始种子 $S = 0110$ 、位置值 j 、距离值 i 来确定。折叠距离 i 决定生成的是那个状态序列, 翻转函数值的奇偶性性决定那个状态位是否翻转, 如果翻转数是奇数, 对应生成的状态翻转, 否则不变, 下面是折叠计数器生成的原始序列和改变顺序后的序列的比较。

① 基金项目 广西区自然科学基金(0542050)

表 2-1 计数生成原始序列和改变顺序后序列的比较

计数生成原始序列			改变顺序后的序列		
状态	序列	距离	状态	序列	距离
F(0,S)	0110	0	F(0,S)	0110	0
F(1,S)	1001	1	F(2,S)	1110	2
F(2,S)	1110	2	F(4,S)	1100	4
F(3,S)	1101	3	F(3,S)	1101	3
F(4,S)	1100	4	F(1,S)	1001	1

3 双重编码技术

LFSR 编码最突出的特点是仅仅与测试矢量中确定位数有关^[4,5,6],而与测试矢量中无关位无关,从而,如果测试矢量中包含大量无关位,那么利用 LFSR 编码和约翰逊折叠计数器的特点就能对测试矢量进行优化,文中利用 LFSR 编码产生约翰逊折叠种子,再由编码的约翰逊折叠种子展开成约翰逊折叠序列,然后对其约翰逊折叠序列进行重排,使相邻间测试矢量跳变个数达到最少,而达到功耗减少的目的。整个编码流程图如下:

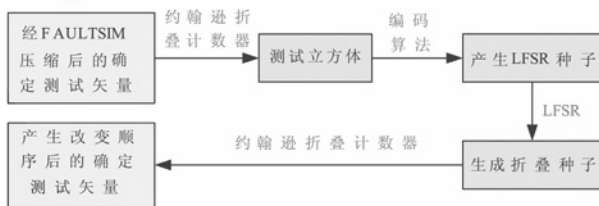


图 3-1 编码流程图

为了便于理解,这里先利用实例来说明 LFSR 对约翰逊折叠种子的编码过程见图 3-2。约翰逊折叠计数器状态矢量生成的计算公式在前面已经介绍。

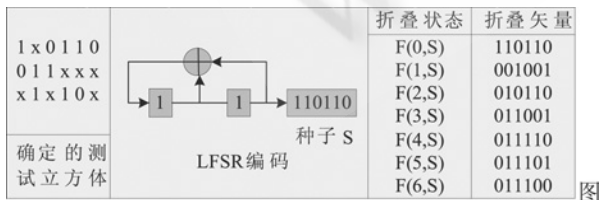


图 3-2 LFSR 对折叠种子编码

图 3-2 所示,利用 LFSR 对约翰逊折叠种子集进

行压缩的实例,左边为给定的确定测试立方体,其中测试立方体中“x”表示无关位。中间为度数 2 的 LFSR 编码测试立方体所需的初始种子是“11”,生成的矢量为“s=110110”,将此矢量作为约翰逊折叠计数器的初始种子,按照前面给出的公式计算,得到图 3-2 右边的表格,从这个表格中可以看出给定的确定测试立方体,分别包含在折叠状态生成序列 F(0,S)、F(3,S)和 F(5,S)中,因此,只要保存 LFSR 的种子“11”,就可以生成完全覆盖确定测试集的矢量序列。具体编码 LFSR 种子和编码测试立方体作为折叠种子策略参见文献^[7]。

4 基于折叠集的确定 BIST 的结构框图

本文方案实质是一种将 FAULTSIM 产生的确定测试矢量与约翰逊折叠序列的特点相结合的测试方案,因此整个自测试方案的低功耗设计就是通过折叠控制器来进行测试矢量优化设计。本文给出的低功耗测试产生器方案也是以 LFSR 为基础的,其结构如图 4-1 所示。LFSR 的级数为 n,计数器为 n+1 进制累加计数器,其长度为 $\lceil \log_2(n+1) \rceil$,解码器对计数器的输出进行解码,输出的控制信号 Y_i 分别去控制相应的多路选择器 MUX,从而选择 LFSR 内部的某一触发器的状态输出端 Q_i (Y_i 为 1 时)或其反相输出端 \bar{Q}_i (Y_i 为 0 时)做为测试输入信号。只要合理的设计解码器就可以产生 n 个单输入跳变的测试向量。当计数器为 0 时, Y_0 为 1,其余 Y_i 为 0,此时与门开放, LFSR 的 CLK 输入有效, LFSR 将产生一个伪随机测试向量,计数器从 1 加到 n 时, Y_0 为 0,与门关闭, LFSR 的 CLK 输入无效,由解码器的输出 Y_i ($i=1, 2, \dots, n$)来控制 MUX 产生 n 个单输入跳变的测试序列。表 1 示例了当 LFSR 初始值为 10111 时,产生的 6 个测试向量,在此期间, LFSR 的值保持不变,直到计数器回 0, LFSR 将产生一个伪随机测试向量。这个测试生成器是针对每周测试的 BIST 设计的,产生的向量直接送往待测电路的输入端。经改造后 LFSR 和待测电路的活动性都大大降低,从而使得功耗进一步降低。

表 4-1 示例了当 LFSR 装入一个折叠种子值为 10111 时,产生的折叠测试序列。

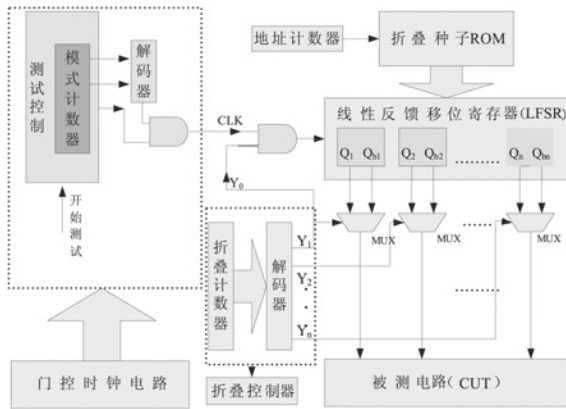


图 4-1 约翰逊折叠控制逻辑结构图

表 4-1 种子为 10111 时所产生的折叠测试序列

折叠计数器	Y0	Y1	Y2	Y3	Y4	Y5	折叠测试序列
000	1	1	1	1	1	1	10111
001	0	0	0	0	0	0	01000
010	0	0	1	1	1	1	00111
011	0	0	1	0	0	0	00000
100	0	0	1	0	1	1	00011
101	0	0	1	0	1	0	00010

为了降低功耗,我们可以对由折叠种子产生的折叠序列进行重新排序,使得相邻的折叠向量之间只有一位不同,从而产生单输入跳变的测试序列,这样可以使得被测电路(CUT)输入端的相邻测试向量之间的相关性增强。例如折叠种子值为 10111,产生的未排序的折叠序列为:10111→01000→00111→00000→00011→00010,经过排序后的单输入跳变序列应为:10111→00111→00011→00010→00000→01000,通过表 3-3 可以看出我们只需要对解码器进行重新设计就可以实现这个排序功能,从而不需要对原电路进行大规模的设计修改。而且从表 4-2 可以看出解码器的输出 Y_0 和 Y_1 的数值是一样的,因此可以合并为一个输出,从而使得解码器进一步简化。其中折叠计数器与解码器在一起构成了折叠控制器。由不同的折叠种子产生的测试序列都是单输入跳变测试序列,只有在重新给 LFSR 置入种子时不是单输入跳变序列,这样整个的折叠测试序列就是伪单输入跳变测试序列。

表 4-2 折叠种子为 10111 时排序后的单跳变序列

折叠计数	Y0	Y1	Y2	Y3	Y4	Y5	折叠测试序列
000	1	1	1	1	1	1	10111
001	0	0	1	1	1	1	00111
010	0	0	1	0	1	1	00011
011	0	0	1	0	1	0	00010
100	0	0	1	0	0	0	00000
101	0	0	0	0	0	0	01000

在这种模式 BIST 的设计中折叠控制器起到了关键作用,开始阶段折叠控制器在 LFSR 生成的每两个相邻的伪随机向量之间插入一个向量(为 LFSR 的位数),使插入的每一个向量与其前驱向量只有 1 位不同,这样就可以获得伪单输入跳变测试序列(仅在 LFSR 产生下一个伪随机向量时不是单跳变)。在一定长度的伪单输入跳变测试序列生成后,开始由折叠控制器控制从 ROM 中取折叠种子装入 LFSR,此时的 LFSR 只相当于一个寄存器,折叠控制器中的解码器完成对一个折叠种子产生的原始折叠集的排序产生单输入跳变测试序列,然后再装入下一个折叠种子,折叠控制器接着产生下一个单输入跳变测试序列,这样直到所有的折叠种子都被装入为止,整个的由不同的折叠种子产生的折叠测试序列就是伪单输入跳变测试序列。最终我们可以发现两部分测试向量序列组成的完整的测试序列也是伪单输入跳变测试序列。这种方案是从降低 CUT 输入端的跳变密度着手进行设计的,在这种设计中,折叠控制器在完整的伪单输入跳变测试序列中发挥了关键作用。图 4-2 是以 ISCA85 中 C17 电路为例在 Model-Sim 中的仿真结果。

5 基于折叠集的确定 BIST 的结构框图

将这种新的低功耗测试生成器在 ISCAS85/89 部分实验电路上进行了实验,实验前用 C++ 编程模拟上述测试生成过程,再将得到的测试向量集施加给待测电路,再进行 WSA 和故障覆盖。

表 5-1 中第一列表示标准电路名称,第二列表示该电路的输入端口数,第三列表示本方案编码后需要存储的折叠种子个数,第四列表示本方案的故障覆盖率,第五列表示压缩后但没有经过约翰逊折叠计数器编码的各电路 WSA 统计值,第六列表示本方案各电路 WSA 统计值,而第七列是文献 [7] 中的实验结果,通过结果的比较可以发现本方案的优越性。观察表 5-1

中的第六列和第七列,发现本方案电路中产生的测试功耗大大低于文献[8]中的功耗值,由于本方案采用的是完全确定性测试,因此电路中的故障(除不可测故障外)均可测出,而文献[7]中由于采用的是伪随机测

试,因此不能保证每个电路的高故障覆盖率,对比于文献[7]提出的测试方案,本文提出的方案存在突出的优点:

图 4-2 原始折叠序列与改变顺序后的折叠序列的对比

表 5-1 本方案的 WSA 值和文献[7]的 WSA 值比较

ISCA85 电路	电路输入端口数	编码后折叠种子数	编码后故障覆盖率(%)	压缩后测试功耗 WSA(M)	本方案 WSA(M)	文献[7] WSA(M)
C17	5	2	100	2.01	0.93	1.17
C432	36	16	99.237	19.98	1.08	2.15
C499	41	30	98.945	25.83	1.23	3.69
C880	60	38	100	47.88	1.68	4.12
C1355	41	46	99.492	52.23	3.69	9.28
C1908	33	53	99.521	51.48	4.89	11.78
C2670	233	42	95.741	335.43	9.45	41.24
C3540	50	37	96.004	116.22	7.44	36.98
C5315	178	63	98.897	201.63	3.54	12.74
C6288	32	12	99.561	15.84	0.96	1.93
C7552	207	41	98.265	573.3	5.85	18.42

1. 被测电路产生的测试功耗比文献[7]的测试功耗要小得多;

2. 本方案的目标结构比混合低功耗 BIST 方案简单,而且开销比较小;

3. 由于所有的故障都采用折叠序列测试,因此保证了峰值功耗比混合模式 BIST 低功耗小,而且更加有效的保护了被测电路。

常用的 FDR 编码优越。在功耗方面,不但可以降低平均功耗,而且可以降低测试中的峰值功耗。本文又利用控制电路来选择 MUX 的输入,实现了测试集的单输入跳变。该设计方案具有比类似 LPTPG 方案^[7]故障覆盖率高,面积开销小的特点,因而具有一定的使用价值及参考意义。

参考文献

1 梁华国,聚贝勒.海伦布昂特,汉斯-耶西姆.冯特利希等.一种基于折叠计数器重新播种的确定自测试方案.计算机研究与发展,2001,38(8):931-938.

6 总结

本文利用文献[2]中的编码方案,结合折叠序列的特点,设计出完全确定性低功耗测试方案。不但保证了高故障覆盖率,而且在编码效率和解码结构上比

- 2 Zorian Y. A distributed BIST control scheme for complex VLSI devices [A]. In: 1993 VLSI Test Symposium Digest Of Papers Eleventh Annual 1993 IEEE[C]. Atlantic Cit, NJ, 1993. 4 – 9.
- 3 Girard P, Guiller L, Landrault C, Pravossoudovitch S. A Test Vector Ordering Technigue for Switching Activity Reduction during Test Operation [C]. In: IEEE Great Lakes Sympon VLSI, March 1999. 24 – 27.
- 4 S. Hellebrand, J Rajski, S Tarnick et al. Built – in Test for circuits with scan based on reseeding of multiple polynormial linear feedback shift registers. IEEE Trans. On Computers, 1995, 44(2): 223 – 233.
- 5 B Koenemann. LFSR – ceded test patterns for scan designs. Eur Test Conf. Munich, 1991 6 Girard P, Guiller L, Landrault C, Pravossoudovitch S. An Adjacency – Based Test Pattern Generator for Low Power BIST Design[C], IEEE 2000. Goldwasser S, Bellare M. Lecture <http://www.cse.ucsd.edu/users/mihir/crypto-lectnotes.html>.
- 6 Ahmed N, Tehranipour M. H, Nourani M. Low Power Pattern Generation for BIST Architecture[C]. Proc. of IEEE VLSI Test Symposium, 2001. 329 – 334.
- 7 S. Gerstendorfer, H. J. Wunderlich. Minimized power consumption for scan – based BIST. Test Conference, 1999. Proceedings. International, 1999. 77 – 84.