

# 嵌入式系统中高精度晶体振荡器及其应用分析<sup>①</sup>

刘志斌, 张持健

(安徽师范大学 物理与电子信息学院, 芜湖 241000)

**摘要:** 晶体振荡器是一种高稳定性和高精度的谐振器件, 广泛应用于各种电子测量、广播通讯、航空、航天等领域. 本文从晶振外围电路结构和匹配参数角度出发讨论如何提高晶振精度的方法, 通过 Multisim 软件对电路进行仿真, 给出了能提高晶振精度外围电路参数的范围, 使用 GSP-810 扫频仪进行实际测试, 给出了实际晶振电路频谱图, 更直观地验证了结果.

**关键词:** 晶振; 集成电路; 负载电容; Multisim; 扫频仪

## Embedded Systems Precision Oscillator and its Application

LIU Zhi-Bin, ZHANG Chi-Jian

(College of Physics and Electronic Information, Anhui Normal University, Wuhu 241000, China)

**Abstract:** The crystal oscillator is a high stability and high precision resonant devices, used widely in various electronic measurement, radio communications, aviation, aerospace and other fields. In this paper, the crystal structure of the peripheral circuit parameters and matching perspective to discuss how to improve the accuracy of the crystal method. Our work gives out a peripheral circuit which can improve the accuracy of the crystal range of parameter through Multisim circuit simulation software. The experiments use the GSP-810 spectrum analyzer for the actual testing and verify the actual crystal oscillator circuit spectrum and the results more visually.

**Key words:** crystal; IC; load capacitance; multisim; spectrum analyzer

随着半导体产业的发展, 越来越多的嵌入式系统中, 晶体振荡器的使用越来越广泛. 有时在一块电路板上就需要同时使用多个嵌入式芯片和晶体振荡器, 由于芯片之间要求协调通讯, 所以对晶体振荡器振荡精度提出了很高的要求; 特别是在网络通信领域, 有时通讯速率在上百兆, 需要对晶振电路进行多次倍频, 才能达到, 这就对晶体振荡器振荡精度提出了越来越高的要求. 在文献[1]中就对晶振的结构和压电效应做了全面的分析和说明<sup>[1]</sup>. 在晶体振荡器一文中, 文献[2]对晶振基本振荡电路做了详细的说明, 同时给出了晶振的种类和不同种类晶振的振荡电路<sup>[2]</sup>. 在用于 RTC 的 32.768kHz 晶振电路的设计中<sup>[3]</sup>, 给出了晶振整体电路和等效电路, 并从负阻角度对

电路原理进行了分析. 而在 Pierce 晶体振荡器电路的起振点分析中, 讨论了晶体振荡器电路起振的环路增益范围和最优起振点<sup>[4]</sup>.

以上文献很好的讨论了晶振电路的电路结构和工作特性, 但是很少有文献涉及到如何提高晶体振荡器振荡精度问题. 为此本文从晶振外围电路结构和匹配参数角度出发讨论如何提高晶振精度的方法, 通过 Multisim 软件对电路进行仿真, 给出了能提高晶振精度外围电路参数(负载电容、反馈电阻、偏置电阻)的范围, 在此基础上, 为了进一步验证仿真结果的正确性, 通过使用 GSP-810 扫频仪, 结合我们选择的实际嵌入式系统中 MCF52233<sup>[5]</sup>和 IP113<sup>[6]</sup>的晶振电路进行测试, 选择改变负载电容的大小, 测得了相应晶振稳定工作

<sup>①</sup> 收稿时间:2013-09-22;收到修改稿时间:2013-10-31

时的频谱图, 并给出了晶振工作的中心频率和幅值, 所得结果与理论分析相一致.

### 1 晶振外围电路

从晶振外围电路拓扑结构上看, 主要分为串联谐振电路和并联谐振电路; 从电路参数上看, 主要包括负载电容、反馈电阻和偏置电阻这三个参数. 如图 1 所示, 为一个典型的串联谐振电路: U1、U2、U3 为反相器用来提供振荡器所需的 180° 相移, 电阻 R1、R2 用来提供负反馈, 同时偏置电压, C1 为负载电容用来稳定振荡频率, 当电路中的电压 U 和电流 I 的相位相同, 电路呈一个低阻状态, 这就是串联谐振. 根据串联谐振电路结构及匹配参数特点, 本文用 multisim 软件做了电路仿真, 如图 2 所示.

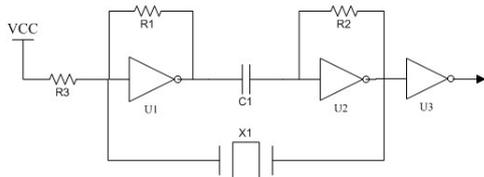


图 1 串联谐振电路

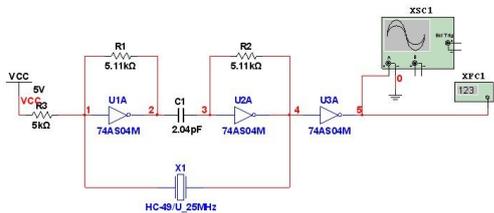


图 2 multisim 下串联谐振电路

图 2 中, 输入电压为+5V, R3=5k, U1=U2=U3 为 74AS04 反相器用来提供振荡器所需的 180° 相移, 电阻 R2=R3=5.1k 为反馈电阻用来提供负反馈, 同时为偏置电阻用来偏置电压, C1=2Pf 为负载电容用来稳定振荡频率, 通过频率计来测晶振 X1 频率变化. 本文主要是对 25MHZ 晶振电路参数做了以下讨论:

(1) 图 3 是保持反馈电阻和偏置电阻不变, 通过改变负载电容 C1 的大小, 得到的晶振频率变化曲线. 图 4 是保持负载电容不变, 通过改变反馈(偏置)电阻 R1, R2 的大小, 得到的不同反馈电阻和偏置电阻对晶振频率变化曲线.

(2) 小结: 通过观察图 3 的仿真结果可以看出, 当电路为串联谐振时, 要使晶振频率稳定工作在 25MHZ

左右, 负载电容有一个最小值, C1=2Pf, 低于这个最小负载电容值, 谐振电路就不能正常工作. 观察图 4 的仿真结果可以看出, 要使振荡器工作在线性区, 反馈电阻和偏置电阻也不能小于 5.1k, 否则振荡器也无法正常工作. 因此, 在串联谐振电路中, 要使晶体工作在高精度状态, 其匹配参数应该满足上述仿真结果的下限值, 然后根据实际使用电路进行参数微调, 以得到高精度的振荡频率.

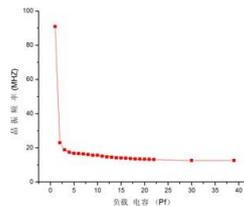


图 3 负载电容

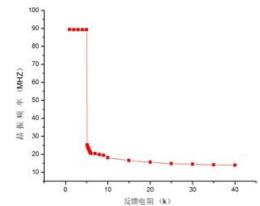


图 4 反馈(偏置)电阻

如图 5 所示, 为一个典型并联谐振电路: U1、U2 为反相器用来实现振荡器所需的 180° 相移, R2 为反馈电阻用来提供负反馈给反相器, R3、R4 电位器为偏置电阻用来提供偏压, 从而使反相器工作在线性范围内, C1、C2 为负载电容用来微调频率, 当电路中的电压 U 和电流 I 的相位相同, 电路呈一个高阻状态, 这就是并联谐振. 根据并联谐振电路结构及匹配参数特点, 本文用 multisim 软件做了电路仿真, 如图 6 所示.

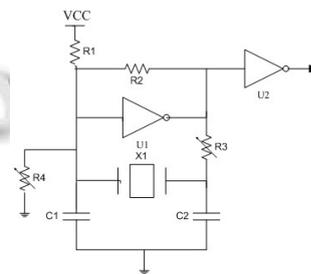


图 5 并联谐振电路

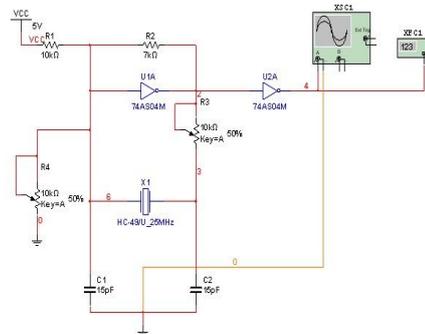


图 6 multisim 下并联谐振电路

图 6 中, 输入电压为+5V, R1=10k, U1=U2 为 74AS04 反相器用来实现振荡器所需的 180° 相移, R2=7K 为反馈电阻用来提供负反馈给反相器, R3=R4=10K 电位器为偏置电阻用来提供偏压, 从而使反相器 74AS04 工作在线性范围内, C1=C2=12Pf 为负载电容用来微调频率, 通过频率计来测晶振 X1 频率变化. 同样对 25MHZ 晶振电路参数做了以下讨论:

(1) 图 7 是保持反馈电阻和偏置电阻不变, 通过改变负载电容 C1, C2 的大小, 得到的晶振频率变化曲线. 图 8 是保持负载电容和偏置电阻不变, 通过改变反馈电阻 R2 的大小, 得到的晶振频率变化曲线. 图 9 为保持负载电容和反馈电阻不变, 通过改变偏置电阻 R3、R4 的大小, 得到的晶振频率变化曲线.

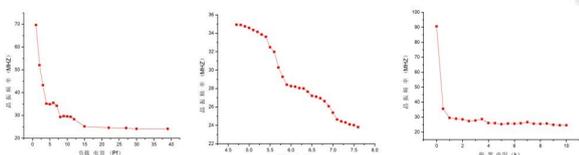


图 7 负载电容 图 8 反馈电阻 图 9 偏置电阻

(2) 小结: 通过观察图 7 的仿真结果可以看出, 当电路为并联谐振时, 要使晶振频率稳定工作在 25MHZ 左右, 相比于串联谐振, 负载电容也有一个最小值, C1=C2=12Pf, 但相比于串联谐振电路频率变化值更稳定. 观察图 8 和图 9 的仿真结果可以看出, 要使振荡器工作线性区, 反馈电阻不能小于 7k, 偏置电阻也不能小于 4.5k, 否则振荡器无法正常工作. 因此, 在并联谐振电路中, 要使晶体工作在高精度状态, 其匹配参数应该满足上述仿真结果的下限值, 然后根据实际情况使用电路进行参数微调, 以得到高精度的频率.

## 2 实际的晶振电路分析

为了进一步对晶振外围电路结构和匹配参数进行分析, 研究不同电路参数对晶振频率的影响. 本文通过使用 GSP-810 扫频仪, 对嵌入式系统中, 用在网络通信领域的两个典型的并联晶振电路进行了频率的测试, 分别为图 10 的 52233 晶振电路和图 11 的 IP113 晶振电路, 由于设计的需要, 两个电路在同一块 PCB 板上, 52233 芯片是一个 32 位的具有快速以太网控制器高端芯片, IP113 芯片是一块网络协议转换芯片, 通信速率有时要在上百兆, 要使两块芯片之间协调通讯, 对晶体振荡器振荡精度就提出了非常高的要求.

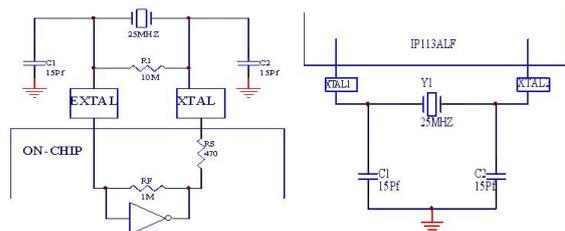


图 10 52233 晶振电路 图 11 IP113 晶振电路

图 10 为 52233 晶振电路, 根据实际情况, 我们选用反馈电阻 R1=10M, 偏置电阻 Rf=1M, 负载电容 C1=C2=15Pf, 作为标准的电路匹配参数. 而在图 11 IP113 晶振电路中, 根据实际情况, 我们只选用负载电容 C1=C2=15Pf, 作为标准的电路匹配参数, 没有连接反馈电阻和偏置电阻, 就可以使电路正常工作. 经过比较, 我们选择改变负载电容这个参数的大小, 通过 GSP-810 扫频仪来观察晶振频率的变化情况, 得到如下数据.

(1) 表 1 中, 测试条件为 Y1=25MHZ, 输入电压 U=5v, 单独改变 52233 晶振电路的负载电容所得晶振频率变化的数据.

表 1 单独改变 52233 晶振电路的负载电容所得晶振频率变化的数据表

序号	测试条件 标准晶振 Y1=25M		52233 晶振电路测试结果	
	负载电容 C1/Pf	负载电容 C2/Pf	中心频率	频率宽度
1	12	12	25M+3k	4.5
2	15	15	25M+2.1k	5.3
3	22	22	25M+0.8k	5.9
4	27	27	25M	5.98
5	30	30	24.9M	5.9

如图 12,13,14 和 15 所示, 我们选择了四张通过 GSP-810 扫频仪测得的真实的晶振频谱图.

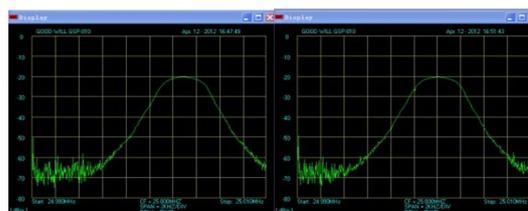


图 12 C1=C2=12Pf 图 13 C1=C2=15Pf

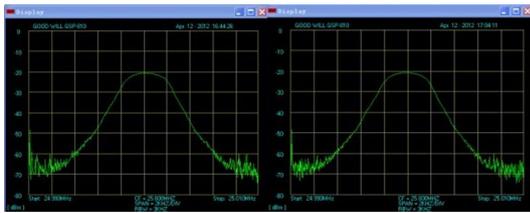


图 14 C1=C2=27Pf 图 15 C1=C2=30Pf

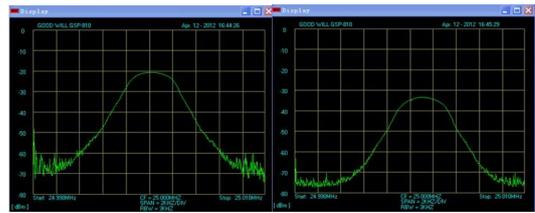


图 20 C1=C2=22Pf 图 21 C1=C2=22Pf

(2) 表 2 中, 测试条件为 Y1=25MHZ, 输入电压 U=3v, 单独改变 IP113 晶振电路的负载电容所得晶振频率变化的数据.

表 2 单独改变 IP113 晶振电路的负载电容所得晶振频率变化的数据表

序号	测试条件 Y1=25M		IP113 晶振电路测试结果	
	负载电容 C1/Pf	负载电容 C2/Pf	中心频率	频率宽度
1	15	15	25M+3.5k	2.8
2	22	22	25M+2k	4.2
3	27	27	25M+1k	4.5

如图 16 和 17 所示, 我们选择了两张通过 GSP-810 扫频仪测得的真实的晶振频谱图.

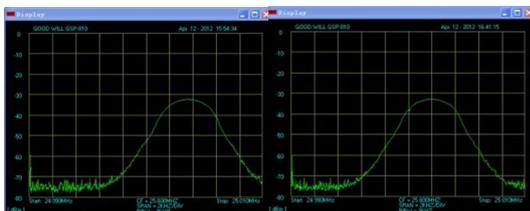


图 16 C1=C2=15Pf 图 17 C1=C2=22Pf

(3) 表 3 中, 测试条件为 Y1=25MHZ, IP113 晶振电路负载电容 C1=C2=27Pf 一直不变, 改变 52233 晶振电路的负载电容所得晶振频率变化的数据.

如图 18, 19, 20 和 21 所示, 我们选择了四张分别通过 GSP-810 扫频仪测得的 52233 晶振电路和 IP113 晶振电路真实的晶振频谱图, 用作对比.

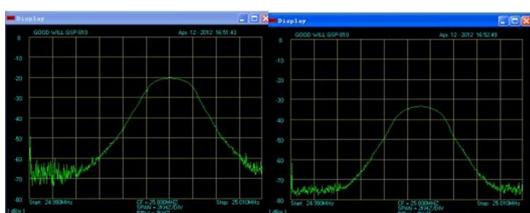


图 18 C1=C2=15Pf 图 19 C1=C2=15Pf

表 3 保持 IP113 晶振电路负载电容不变 改变 52233 晶振电路的负载电容所得晶振频率变化的数据表

序号	测试条件		52233 测试结果		IP113 测试结果	
	C1	C2	中心频率	频率宽度	中心频率	频率宽度
1	C1=1 2Pf	C2=1 2Pf	25M+3 k	4.5	25M+1k	4.5
2	C1=1 5Pf	C2=1 5Pf	25M+2 .1k	5.3	25M+1k	4.5
3	C1=2 2Pf	C2=2 2Pf	25M+0 .8k	5.9	25M+1k	4.5
4	C1=2 7Pf	C2=2 7Pf	25M	5.98	25M+1k	4.5
5	C1=3 0Pf	C2=3 0Pf	24.9M	5.98	25M+1k	4.5

(4) 小结:

① 通过对 52233 和 IP113 晶振电路单独的测试, 从测试数据表和频谱图中, 我们可以进一步发现负载电容和晶振频率的关系, 随着负载电容的变大, 晶振频率将变小, 但是频率宽度将变宽, 这使得晶体振荡器更容易起振. 因此, 选择一个合适的外围晶振电路参数, 对晶体振荡器处在高精度工作状态是十分必要的.

② 从测试数据表和频谱图中还发现, 当 52233 和 IP113 晶振电路同时工作时, 晶体振荡器之间的频率相互不影响, 这使得我们可以放心在同一块 PCB 板上同时使用多个晶振电路, 不用担心它们之间的干扰, 为电路的开发和设计提供了方便.

③ 所得实验数据可以为嵌入式系统中晶振电路的设计提供参考. 同时, 为了提高整个电路的晶振频率精度, 除了要注意负载电容、反馈电阻、偏置电阻等因素外, 我们发现, 在设计 PCB 电路图时, 应该使

晶振、外部电容与集成电路之间的信号线尽可能保持最短。因为,当非常低的电流通过集成电路晶振振荡器时,如果线路太长,会使它对 EMC、ESD 与串扰产生非常敏感的影响,而且线路太长还会给振荡器增加寄生电容。

④ 实际电路中,必须注意晶振和地的走线,将晶振外壳接地,尽可能将其它时钟线路与频繁切换的信号线路布置在远离晶振连接的位置。

⑤ 我们也可以通过其他方式来提高晶体振荡器频率精度,比如选择高精度的晶体振荡器,但是对于普通的用户而言,考虑到设计成本和产品效益,通过改善晶振外围电路结构和匹配参数也可以更好的用来提高晶体振荡器的频率精度。

### 3 总结

本文对晶振外围电路结构及其电路匹配参数做了详细的分析,分别从理论和实验的角度出发,提出了如何提高晶振精度的方法。从给出的实际晶体振荡器的频谱图中可以更好的看出,匹配参数对频率精度的影响,选择合适电路结构和匹配参数,可以很好的提高晶体振荡器的频率精度。本方法通过调整晶振外围电路结构和匹配参数,获得高精度的晶体振荡器,将具有很广泛的应用前景。

#### 参考文献

- 1 童诗白,华成英.模拟电子技术基础.北京:高等教育出版社,2000:406-407.
- 2 李德昌.晶体振荡器.国外电子测量技术,2004,(1):19-21.

- 3 王跃,张泊,王彬.用于 RTC 的 32.768kHz 晶振电路的设计.南开大学学报(自然科学版),2007,40(2):96-97.
- 4 孔令荣,熊立志,王振华.Pierce 晶体振荡器电路的起振点分析.计算机与数字工程,2010.
- 5 苏州大学飞思卡尔嵌入式系统实验室.MCF5223x 参考手册.2009,(5):110.
- 6 IC puls Corp. IP113A LF-DS-R08,2007,10.
- 7 顾涛.石英谐振器和集成电路中的晶体振荡器.电子测量技术,1984,(5):110.
- 8 毕松保.并联晶体振荡器的振荡频率.高等学校电工课程教学工作通讯,1983.
- 9 陈曙,刘三清,张奇,陈晓飞.CMOS 石英晶体振荡器的设计与实现.电子工程师,2004.
- 10 王军.石英晶体振荡器.机械与电子,2007.
- 11 金锡昆.集成电路型石英晶体振荡器.电子技术,1989.
- 12 Geng JQ, Lan JL. A 20MHz low phase-noise 0.35 $\mu$ m CMOS crystal oscillator. 中国电子科技, 2005, 3(2).
- 13 郑睿,孟晓风,聂晶,汪烁.基于 VXI 总线的 QCM 测试系统设计与实现.电子测量与仪器仪表学报,2012,(8).
- 14 刘伟峰,庄奕琪,齐增卫,唐龙飞.无源超高频射频频识别标签中嵌入式温度传感器设计.电子测量与仪表学报,2011,(5).
- 15 喻骞宇,高俊雄,刘刚,谢基凡,王耘波,于军.一种模拟温度补偿晶体振荡器补偿参数自动设置系统.仪器仪表学报,2003,(5).
- 16 陈小林,屈攀,王祝盈,谢中.用“负阻”概念设计石英晶体 Colpitts 振荡电路.仪器仪表学报,2005,(1).