

# 基于 FPGA 的 ICT 控制系统设计<sup>①</sup>

王家乐<sup>1</sup> 刘波峰<sup>1</sup> 谢朝京<sup>2</sup> 彭 镭<sup>1</sup> 邹 强<sup>1</sup>

(1.湖南大学 电气与信息工程学院 湖南 长沙 410012;2.顺德嘉腾电子有限公司 广东 佛山 528300)

**摘要:** 印制电路板(PCB)是电子器件的支撑体,是电子元器件电气连接的提供者。一个电子器件已经焊接好的 PCB,在原理正确的情况下能否正常工作,主要取决于板上元件是否完好及焊接是否到位。在这种情况下,对 PCB 上焊接好的元件进行在线测试就成了电子产品生产必不可少的工序,在线测试(In Circuit Test, ICT)也因此成为了一种行业规范术语。本文即是基于此背景产生,通过研究焊接好的电子元件的隔离原理,设计了一套基于 FPGA 的控制系统,通过本系统完成了 ICT 测试仪各个模块的控制及与上位机的通信。实际的产品表明,本文的 ICT 控制系统不仅功能正确,而且效率及灵活性都相当高,能够适应多种 PCB 的在线检测。

**关键词:** FPGA; ICT; 隔离; USB

## Design of ICT Control System Based on FPGA

WANG Jia-Le<sup>1</sup>, LIU Bo-Feng<sup>1</sup>, XIE Chao-Jing<sup>2</sup>, PENG Lei<sup>1</sup>, ZOU Qiang<sup>1</sup>

(1.Department of Electrical and Information Engineering, Hunan University, Changsha 410012, China;

2.Shun De Jia Teng Electronic Co., Ltd., Foshan 528300, China)

**Abstract:** The Printed Circuit Board is the support body and electrical connection provider of electronic components. Whether a PCB whose electronic components have been welded well can work normally depends on whether the components are in good conditions or not. The test for the electronic components that have been welded on PCB thus becomes absolutely necessary. And because of this, ICT has become the industry normative nomenclature. Based on this background, this paper firstly gives the isolated method of circuit board components, then it designs the control system based on FPGA. Each module has been controlled by the FPGA. The actual products show that the control system of the ICT is not only good in the function, but also good in efficiency and flexibility. It is able to adapt to a wide range of PCB online detection.

**Keywords:** FPGA; ICT; isolation; USB

在线测试(In Circuit Test, ICT)是电子产品生产过程中一个重要的工序,它的基本过程是测试仪为印制电路板上的被测元件或芯片提供输入激励,ICT 测试仪对被测目标的响应进行采样,并在上位机分析,通过与预期响应相比较来判断被测元件在焊接完成后是否仍然正常<sup>[1]</sup>。目前,ICT 测试仪主要采取两种方

案:一种是可移动针床,针床是压在被测 PCB 板上将测试点引出的工具,可移动针床只需要几个到十几个针脚,测试完一个元件后针脚在控制系统作用下马上加到另一个元件上;另一种是固定针床,对不同的 PCB 板针床的布局是不同的,这种情况下针床压在印制板上一次性将所有的测试点引出,针脚一端加在测试点

① 收稿时间:2009-06-02

上,另一端则通过继电器与控制芯片的引脚相连,控制芯片通过控制继电器的闭合就可以选通不同的测试点。

对于电子产品生产商,生产的 PCB 类型基本是固定的,而且控制可移动针床针脚的运动对电机要求较高,测试时间相对固定针床也较长,所以本文研究的测试系统是基于后者的,即固定针床测试系统。印制电路板通常含有几十到上百,甚至是上千个元件,要完成对某个元件施加激励及读取响应的控制,至少需要 4 个引脚来完成,这样一个普通的 PCB 采用固定针床要完成全部电子元件的自动测试就需要几千到几万个芯片引脚。引脚较少的芯片如单片机、ARM、DSP 等难以满足要求, FPGA 就顺理成章地成了首选芯片。目前, Altera 的高端产品 Stratix III 系列可用 I/O 口数最多可达到 1120 个<sup>[2]</sup>,完全能够满足 ICT 测试系统的需求,加上 FPGA 较强的可配置性,其性能并不比 DSP 和 ARM 逊色。

### 1 在线测试原理<sup>[3]</sup>

电路板上分立元件测试的一个关键问题就是隔离,它是用辅助电路把和被测元件相连的外围电路“分离”开来,使该元件不受 PCB 板上其它部分的电子元件的电气干扰,这样测得的值才是元件的实际参数值,如果未加隔离直接测量得到的结果与实际的误差是不可预知的,图 1 是元件隔离的一种接法。

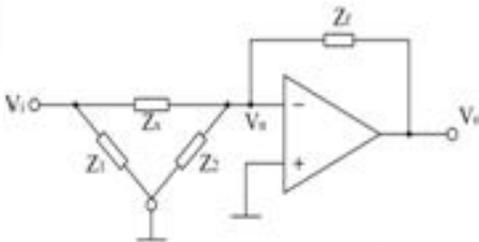


图 1 隔离原理图

图中,  $Z_x$  为印制电路板上待测元件,其周围与之并联的所有元件可等效为  $Z_1$  与  $Z_2$ ,并将它们的公共端接地,由于运放正向输入端接地,根据虚地原则,  $Z_2$  两端都为零电位,此时  $Z_2$  等效为与其他元件无电气连接,即因为  $Z_2$  两端等电位而被隔离了。另一方面,  $V_i$  可以看成理想电压源,其内阻抗为零,忽略不计,  $Z_1$  可视为  $V_i$  的负载,不影响  $Z_x$  上的电压降,即与  $Z_x$  相关联的所有元件都等效为与其没有电气连接,也即  $Z_x$  被隔离了,由此得到关系式:

$$\frac{V_i}{Z_x} = -\frac{V_o}{Z_f} \quad (1)$$

$$Z_x = -\frac{V_i}{V_o} Z_f \quad (2)$$

此时,因为被测元件  $Z_x$  在电气上是个孤立元件,如果对其施加合适的激励并通过测其响应的值来反推  $Z_x$  的值的话得到的将是其实际值,这就避免了因为外围电路的电气干扰而带来的不可预知的误差。

按照此思路搭建的电容测量电路如图 2 所示,图中  $C_x$  为被测电容,  $Z_a$  与  $Z_b$  为与  $C_x$  相连的等效元件,因为接地的作用,  $C_x$  与  $Z_a$  和  $Z_b$  等效为没有电气连接,即  $C_x$  被隔离了。图中反向积分器的输出电压为:

$$V_o'(t) = -\frac{1}{R_1 C_1} \int V_i(t) dt \quad (3)$$

微分器输出电压为:

$$V_o(t) = -R_r C_x \frac{d[V_o'(t)]}{dt} = \frac{R_r C_x}{R_1 C_1} V_i(t) = K C_x \quad (4)$$

其中  $K = \frac{R_r V_i(t)}{R_1 C_1}$ ,它即是  $C_x$  转换为  $V_o$  的转换系数<sup>[4]</sup>。  $R_1$ 、 $C_1$ 、 $R_r$  和  $V_i(t)$  是可变参数,合理确定它们的取值,便可以使  $V_o(t)$  正比于  $C_x$ ,将输出电压通过 AD 采样后,传送回 FPGA,由 FPGA 通过 USB 上传到上位机分析,上位机预先已经存储了该电容的容值,理想情况的响应等信息,上位机将接收到的采样与预设值比较,达到判断改电容元件在电路板上是否能够正常工作的目的。

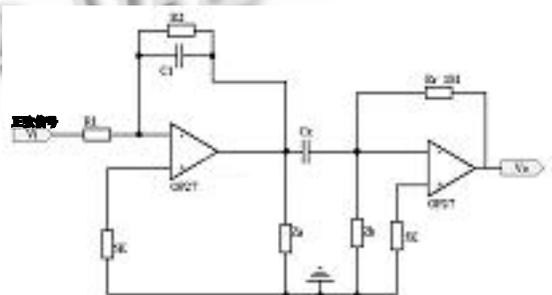


图 2 测试电容的隔离电路

### 2 ICT系统设计

ICT 系统需要适应被测电路板的变化而变化,不同电路板上的电子元件包含的类型不同,这就需要搭建不同的隔离电路来隔离同一类型的元件,隔离电路通常与采样模块做在一块 PCB 上,采样模块留有抽头通过排线与针床相应的脚连接。电源模块也是需要适

应被测元件的变化而变化, 测试不同的电子器件需要的信号类型及大小是不同的, 被测目标板改变了信号就要能提供所需的新信号类型, 所以信号板一般做成任意信号发生器, 这就避免了因为目标板的变动带来的麻烦。一般电子产品生产商都生产特定类型的 PCB, 结构很少做变化, 所以除了采样模块和信号模块其余的模块不需要经常变动, 而 FPGA 的可配置性较强, 即使目标板发生改变, 也可以重新配置程序来进行升级。目前采用的模式一般是 FPGA 完成所有模块控制, 不附加其它的控制芯片, 但考虑到其它模块结构也较为复杂, 短篇幅难以说明其原理, 所以本文研究的 ICT 系统的信号源与采样模块仍由其它芯片控制, 普通的 8 位单片机就可以完成, FPGA 通过控制单片机完成对采样与信号模块的控制。图 3 给出了 ICT 系统的整体框图, 它包含了电源模块、FPGA 主控制板、信号发生器模块、数据采样模块、针床控制模块等, 各模块间相互作用, 协调完成测试过程。

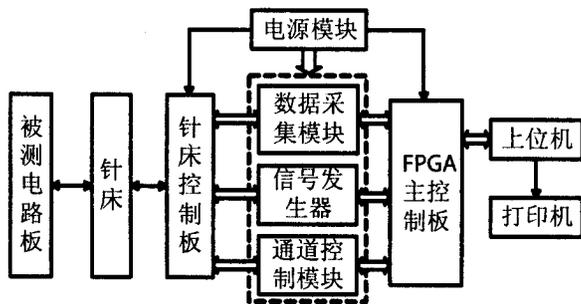


图 3 ICT 系统原理

图中各模块的功能为: 针床引出被测电路板的测试点, 针床控制板控制针床的移动, 确保针床已压紧在电路板上。电源模块给所有 PCB 上的电子器件供电, 信号发生器产生测试每个元件需要的信号, 数据采集模块采集被测元件在激励作用下的响应, 通道控制模块是连接 FPGA 和测试点的枢纽, 上面有大量的继电器, 每个继电器一端与 FPGA 引脚相连另一端与针床上的针脚连接, FPGA 主控制板控制所有模块的动作, 它测试元件的顺序及测试元件需要的信号类型的获得均来自上位机。

### 2.1 FPGA 系统顶层设计

Altera 的 socp 功能比较强大, 在 socp 中定制的 cpu 可以完成各种复杂的控制任务。本文采用的芯片型号是 EP2C35F484, 它具有 384 个 IO 口, 应用于

ICT 系统可测量的元件个数在 60 个左右, 对于被测 PCB 电子元件较多的情况, 需要多片 FPGA 级联, 其中一片为主控芯片, 其余通过选通间接控制。本文的 ICT 控制系统需要在 socp 中添加的模块如下: 定时器、看门狗、SDRAM 控制器、控制继电器的输出端口、用于通信的输入输出端口、USB 模块、JTAG 模块等。系统生成后, 在顶层原理图中定时器和看门狗是不可见的, 但在对 cpu 编程时调用定时或看门狗复位服务。在顶层图中, 还需要加入锁相环来提供 cpu 工作的时钟和 USB 通信的时钟, 另外还需添加 mega function 中的 FIFO 模块用于与单片机通信, 通信共需两个 FIFO, fifo1 用于发送指令到信号发生器, fifo2 用于接收采样数据, fifo1 和 fifo2 的时钟和读写使能控制端口同时受控于 FPGA 和单片机。最终的顶层结构如图 4 所示, 图中共有三部分: cpu00 是中央处理器, 由 socp 定制并生成, 完成所有的控制及运算过程; 先入先出 fifo1 和 fifo2 用于数据缓冲, 主要负责和信号发生器及采样模块的通信; 锁相环 pll0 为 cpu 及 SDRAM 和 USB 等提供工作时钟。

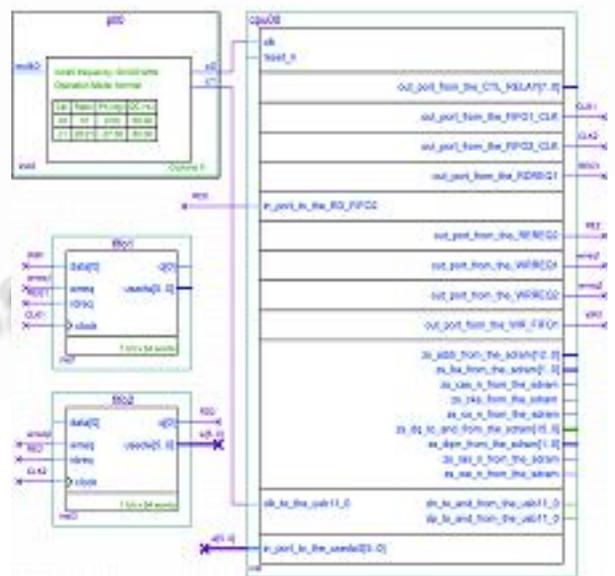


图 4 ICT 控制系统顶层原理图

### 2.2 FPGA 核软件编程与仿真

ICT 系统的工作过程为: FPGA 上电工作后等待来自上位机的指令, 当有指令从上位机通过 USB 发来时 FPGA 开始接收并对数据包含的信息进行分析, 将需要的信号类型传送给信号发生器。信号发生器收到数据后产生相应的信号并施加在被测元件的输入端, 输

入端的选通是 FPGA 完成的,通过闭合继电器来选通测试脚。FPGA 一直检测 FIFO 中的状态,当 FIFO 中已用的位数达到 16 位时表明采样过程完成,FPGA 读取 FIFO 中的采样数据。读取采样完成后将数据传送回上位机分析,上位机将分析结果显示并发出下一条指令。上位机的指令为 16 位一帧,协议规定为:0→14:元件编号与需要信号类型的信息,15→16:校验位。其中 USB 通信模块是一个开放源代码的核,从 Altera 官方网站获得,在 sopc 中封装之后可以像其它模块一样自由添加到顶层处理器,它的接收与上传共有四种状态,分别是:中断接收、批接收、中断上传、批上传<sup>[5]</sup>。

根据上述的工作过程,在 niosII 中完成 ICT 控制系统的软件编写,参考程序如下:

```
volatile alt_u16 data;
volatile alt_u32 count;
/*延时子函数*/
void delay(alt_u32 n)
{alt_u32 i;
for(i=0;i<n;i++);
/*USB 中断注册函数*/
void init_usb (void)
{alt_irq_register(USB11_0_IRQ,(void*)&count,USB
_INT);
return 0;}
/*USB 中断处理子程序*/
static void USB_INT(void * context,alt_u32 id)
{IOWR(USB11_0_BASE,0x0,0x00);
data= IORD(USB11_0_BASE,0x01);
/*写 FIFO,用于发送数据到信号发生器*/
void write_to_mcu(alt_u16 wr_data)
{int j;
IOWR(WRREQ1_BASE,0,1);
for(j=1;j<=16;j++)
{if(wr_data&0x8000)
IOWR(WR_FIFO1_BASE,0,1);
Else
IOWR(WR_FIFO1_BASE,0,0);
wr_data=wr_data<<1;
IOWR(FIFO1_CLK_BASE,0,1);
delay(100);
IOWR(FIFO1_CLK_BASE,0,0);
delay(100);}}
```

```
/*读 FIFO,用于读取采样数据*/
alt_u16 caiyang(void)
{IOWR(REREQ2_BASE,0,1);
int k;
alt_u16 rd_data;
rd_data=0x0;
for(k=0;k<16;k++)
{rd_data=rd_data<<1;
if(IORD(RD_FIFO2_BASE,0)==1)
rd_data=rd_data|0x0001;
else
rd_data=rd_data&0xfffe;
IOWR(FIFO2_CLK_BASE,0,1);
delay(100);
IOWR(FIFO2_CLK_BASE,0,0);
delay(100);
}
return rd_data;
}
int main()
{alt_u16 wr_to_cmp;
init_usb();
while(1)
{write_to_mcu(data);
if(IORD(USEDW_BASE,0)==0x10)
wr_to_cmp=caiyang();
IOWR(USB11_0_BASE,0x06,wr_to_cmp);
}
return 0;
}
```

本程序是对图 4 的 cpu00 编写的程序,编写软件 NiosII 由 Altera 提供,这是一款专门针对 Altera 芯片的 cpu 编程的软件,语言格式可以采用 C 或 C++ 编写,本系统采用的语法格式与 C 语言完全兼容,它的运行平台是 FPGA, FPGA 上电后由 EPCS 实现对其硬件配置,完成后开始从 Flash 或者 SDRAM 引导上述程序到 FPGA 中运行。在 NiosII 中调试通过后就可以在 QuartusII 中进行仿真,因为 USB 数据需要专门软件监测,仿真图未包含 USB 部分,读写 FIFO 也改为并口方式。结果如图 5 所示,图中 21A0 为 FPGA 发送给信号发生器的指令,81 为控制继电器闭合,图 4 的 cpu00 只控制了 8 个继电器,实际系统根据需要

(下转第 45 页)

(上接第 129 页)

添加, 3AB0 为读取到的采样数据, 因为采样数据依赖于实际的采样模块, 这里仅仅验证功能正确性, 由 FPGA 发送采样数据, 与上位机通信部分在实际产品中得到了验证。由仿真图可见 ICT 控制系统工作过程正确, 至此整个系统设计完成。

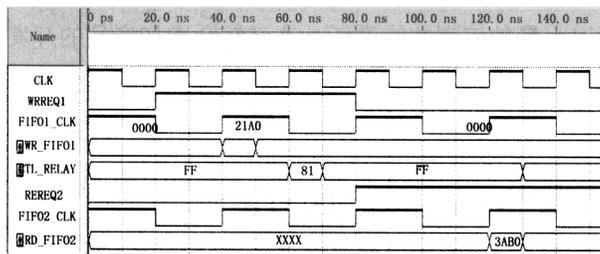


图 5 FPGA 控制系统时序仿真图

### 3 结论

本文设计的 ICT 控制系统依托 Altera 强大的 socp 处理内核, 较好地完成了测试的控制过程, FPGA

晶振频率较高, 用 verilog 编写的语句可以并行执行, 大大提高了工作效率。本文的 ICT 控制系统经实际产品验证, 一块含有 380 个电子器件左右的 PCB 板, 检测完所有元件只需要 3 到 4 分钟, 不仅工作效率高, 而且结构也不复杂, 能够适应不同的电路板测试需求。

### 参考文献

- 1 张怀强, 何为民. 电阻电容在线测试及 LCD 显示. 今日电子, 2006, 7(1): 42 - 43.
- 2 任晓东, 文博. CPLD/FPGA 高级应用开发指南. 北京: 电子工业出版社, 2003. 18 - 22.
- 3 庄绍雄, 张迎春. 单片机控制的电阻电容在线测试仪. 电子测量与仪器学报, 1993, 4: 41 - 42.
- 4 陈国顺, 陈春沙, 王格芳, 刘胜利. 通用电路板在线测试仪设计与开发. 仪器仪表学报, 2001, 1: 70 - 71.
- 5 张树春, 刘成安. 基于 USB 总线的 FPGA 与 PC 机接口通信的实现. 微计算机信息, 2005, 3(1): 202 - 203.