

基于 FPGA 的多幅图像融合叠加的设计与实现^①

Design and Realization of Fusion Superposing Method with Multi-Image Based on FPGA

郑博文 胡小龙 (中南大学 信息科学与工程学院 湖南 长沙 410075)

摘要: 介绍了一种基于 FPGA 的多幅图像融合叠加的设计与实现, 给出了其实现原理和模块设计。设计包含 I2C 控制器、数据缓冲和融合叠加处理输出三部分。融合叠加处理包含绝对坐标生成子模块、相对坐标生成与判断子模块、分量计算子模块、和值计算子模块、修正子模块。说明了各模块的实现方法。最后使用 Modelsim 做综合后仿真得到了输出效果图, 并在 Xilinx Virtex-4 芯片上验证通过。

关键词: 融合叠加 FPGA 多幅图像 流水线 可编程性

1 引言

集成一套完整的图像处理显示系统包含多路图像 (PAL、VGA 等) 采集、图像缩放、DDR SDRAM 控制器、融合叠加、VGA 输出控制。其中融合叠加和 VGA 输出控制是图像后处理。当前很多视频图像叠加实现主要集中在图像中字符的叠加处理与实现, 也有一些用于画中画 (Picture-in-picture) 功能的方法, 公司产品有例如富士通公司的 MB90092 和 Genesis Microchip 公司的 FIL8532。它们对图像的叠加处理模式比较单一, 比如只能叠加显示在固定的区域, 或者叠加参数已经限定, 再者对高分辨率图像支持有限。随着显示技术的不断发展, 高分辨率视频图像显示也越来越重要, 特别在一些特殊领域需要更加灵活的视频图像叠加处理。为了实现高分率视频图像叠加的这些要求, 本文提出了一种新的叠加处理方案: 基于 FPGA 的多路图像融合叠加, 并论述了关键技术和实现过程, 最后给出了仿真实现结果。

2 融合叠加

叠加是指在像素级为每个点选择电信号^[1]。多幅图像叠加则是把多幅图像按照一定的原则和顺序层叠起来, 形成一幅完整的图像。确定最终图像的某点像素值是覆盖该点所有图像对应点像素值的一个关系表

达式。若最终图像某点有 N 路图像覆盖, 则点 (x, y) 像素值的关系表达式为:

$$H = \omega_{(x,y)} \sum_{i=1}^n d_i \cdot H_i \quad (1)$$

其中, H_i 是第 i 幅覆盖图像中对应点的像素值, d_i 是对应的影响因子; $\omega_{(x,y)}$ 是最终图像中点 (x, y) 在整幅图像中的影响因子。

所谓融合叠加就是指把不同源的图像信息经过一定方法的处理, 最终通过叠加获得单一图像的技术。其中处理技术有 Alpha 通道技术、Color-Key、二维光照等。本文介绍的设计以三幅源图像为例, 采用 Alpha 通道技术融合叠加。如图 1 所示, 三路图像 (S1, S2, S3) 属于低范围图像, 每一路图像都有各自在目标图像中的相对起始坐标 (x_1, y_1) 、 (x_2, y_2) 、 (x_3, y_3) 和各自的 Alpha 值 (0~255)。

计算某点像素值策略:

- ① 若该点没有被任何图像覆盖, 显示背景色 (黑色);
- ② 若该点只有单幅覆盖, 该点像素值分量 T 如下式:

$$T_{(x,y)} = T_i \times \frac{\alpha_i}{255} \quad (2)$$

- ③ 若该点有 M 幅覆盖, 则该点像素值分量 T 如

^① 收稿时间: 2009-01-09

下式:

$$T_{(x,y)} = \sum_{i=1}^M \frac{\alpha_i}{\alpha_1 + \alpha_2 + \dots + \alpha_M} \times T_i \quad (3)$$

由于使用简单的层叠方式，每一点对最终图像的作用是均衡的，故影响因子 $\omega_{(x,y)} = 1$ 。

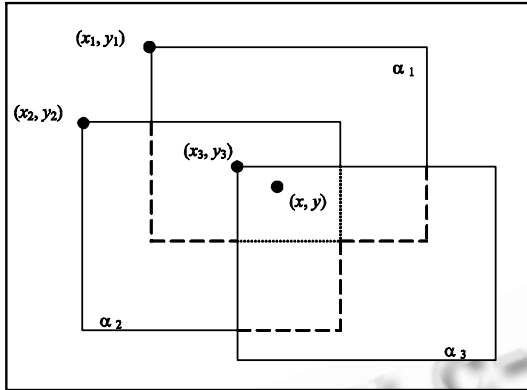


图 1 三路图像融合叠加

3 系统设计

在以往的图像叠加设计中，低分辨率图像叠加处理的数值计算量较小，使用一般的计算过程实现算法就可以满足要求，然而要处理符合 SXGA 或 UXGA 标准的高分辨率图像时，一般计算方法将导致过大的组合逻辑延时而达不到高分辨率处理频率的要求，甚至会在视频输出显示中产生滞后现象。通过模块化的设计并采用流水线设计可以拆分组合逻辑，减小组合逻辑延时，是解决上述问题的有效方法之一。除此之外，流水线设计还可以有助于控制功耗。

3.1 I²C 端口设计

为实现图像位置、宽高、Alpha 值的可配置性，在 FPGA 内部设置了一组寄存器用于外部控制器编程。I²C 总线是一种双线串行总线^[2]，分别是带上拉电阻的串行数据 SDA 和串行时钟 SCL 线，它采用多主多从的结构，所有连接在总线上的设备都有唯一的地址进行识别。

FPGA 仅接收编程数据值，所以只需要把 FPGA 作为从机设备且只有写操作。对 I²C 协议做如下简化：首先主机发送一个开始信号，即在 SCL 的高电平时 SDA 线变为低电平，总线上所有从机检测该开始信号后开始接收第一个字节，第一个字节包括七位从机地址和一位读/写指示位。接着如果某一个从机检测出接收到的 7 位从机地址和自己相同想主机发送一个回

应，即将 SDA 线拉低。然后依照写指示位从主机接收数据。每一字节传输完成，从机向主机发送回应。传输完毕，主机以一个停止信号结束传输过程，即在 SCL 为高电平时，SDA 线由低电平变为高电平。FPGA 的 I²C 设计实现框架如图 2 所示：

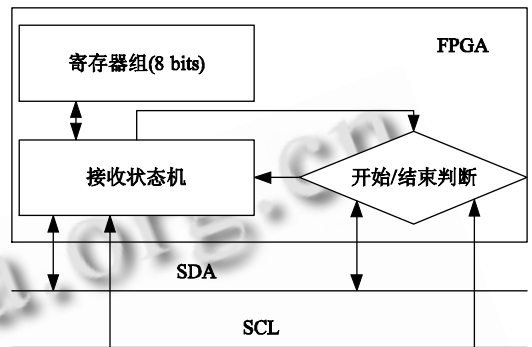


图 2 I²C 设计结构

3.2 图像缓冲处理

外部视频信号采集后生成的 RGB 数据将存储在外部存储器中，外部存储器工作频率较高。如若使用相同频率设计算法实现，有可能因某些流水线工序的延时过大而无法满足时序要求，也会使计算过程所产生的功耗直线上升。因此外部数据的获取和内部叠加处理使用异步的方式能够满足时序也可降低功耗。

异步时钟域的子模块之间存在数据同步问题，可以使用异步 FIFO 解决^[3]。异步 FIFO 分为读和写两个不同的时钟域，读/写操作由两个完全不同的时钟控制。在写时钟域，写端口对应写地址和写控制信号。在读时钟域，读端口对应读地址和读控制信号。通常把写地址和读地址进行比较产生空/满状态值。其结构如图 3 所示。

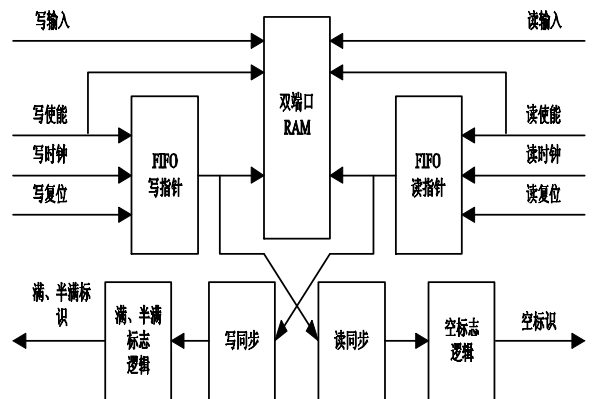


图 3 异步 FIFO 的结构

处于两个不同时钟域的异步 FIFO 在将写地址与读地址比较之前要进行同步。然而同步后得到的读地址与实际的读地址无关, 解决办法是现将二进制数据转换成格雷码的数据后在进行同步操作。格雷码是一种在相邻计数值间只有一位发生变化的编码方式, 因此一个计数值发生变化时, 最多只有一位产生亚稳态, 能有效控制亚稳态的传递。

为实现正确读写并避免 FIFO 的上溢或下溢, 在读时钟域中加入空标志位逻辑和在写时钟域中加入满标志位逻辑是必要的。同时为了准确控制 FIFO 的读写时机在写标志位逻辑中再加入半满标志位。

3.3 图像叠加

根据上述的融合叠加的概念和计算某点像素的策略, 多幅图像融合叠加计算过程可以有多种划分方法, 但考虑到计算流水化的复杂度和 FPGA 的资源占用量, 该计算过程分为五个子模块: 绝对坐标生成子模块、相对坐标生成与判断子模块、分量计算子模块、和值计算子模块、修正子模块。

绝对坐标生成子模块用于目标图像中某坐标点 (x, y) 的生成。这一部分使用两个计数器即可完成, 分别是行计数器和列计数器。由于本设计采用的目标图像为 1280×1024 的分辨率, 所以行列计数器分别是 11 位和 10 位。为提高计数器的综合频率, 采用高速计数器和慢速计数器混合设计的方法, 即低两位使用一个高速计数器做循环加一计数, 当达到 11 的时候, 触发低速计数器加一。

相对坐标生成子模块用于计算绝对坐标在各源图像中的相对位置。根据缓冲区的深度, 将相对位置 (x_i, y_i) 中的 x_i 的低位与 FIFO 元素对应, x_i 的高位和 y_i 决定 FIFO 缓冲器中预取源图像 S_i 中像素序列。相对坐标是依照源图像起始点的值计算而来, 如果相对坐标点落在有效域外面, 则将此源图像中该点不参与后面的计算。通常落在有效域外包括两种情形, 一是相对坐标点的不在源图像中, 二是绝对位置点在源图像中但该点已超越目标图像边界。修正源图像的长度和宽度可以解决上述的两种情形, 使得第二种情形归并到第一种情形。

在多幅图像的计算中, $\alpha_i / (\alpha_1 + \alpha_2 + \dots + \alpha_M)$ 的结果

是由 MCU 或其他 FPGA 模块在目标图像参数发生变化时计算一次得到。分量计算子模块是将 d_i 因子与对应源图像像素点 RGB 分量相乘的计算过程。该计算过程使用 DSP 器件可以有效减少数值计算逻辑延时。和值计算子模块将分量计算子模块计算的多个数值相加得到最终的像素值, 但多个数值同时相加会产生过大延时, 对应数值计算采取两两相加的办法得到目标图像点像素的分量值。

由于计算过程的各种误差难于避免, 计算结果可能会超越低范围图像显示的最值, 需要修正子模块修正误差。融合叠加的计算没有负数且只有乘法和加法, 不存在超越最小值的情况, 只要对超越极大值的情况进行修正即可。适度增加运算寄存器位数以容纳误差, 便于修正误差值。

3.4 流水线设计与 VGA

流水线设计可以把规模较大、层次较多的组合逻辑电路系统分为几个级, 在每一级插入寄存器组并暂存中间数据。上一级的输出是下一级的输入而无反馈的电路。融合叠加需要计算 RGB 三个分量的值, 因此流水线也需要三条, 这三条流水线是完全相同的设计方法。

上节中的五个模块均占用流水线中的一级, 特别在和值计算子模块中采用数值两两相加的方法需要扩展流水级别, n 个数值相加需要扩展为 $\log_2 n$ 向上取整, 三路融合叠加的和值计算子模块扩展为 2 级, 一条流水线的流水级别为 6 级, 如下图 4 所示, 图中判断相对位置的结果将影响 d_i 的值, 如果结果为真 d_i 就为计算策略中对应的值, 否则为零。

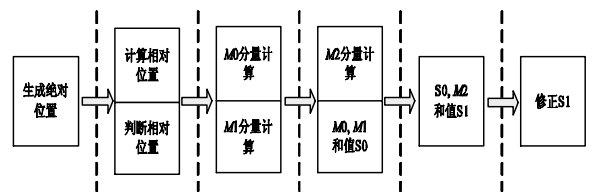


图 4 流水线结构

视频信号使用 SXGA 模式 ($1280 \times 1024 \times 60\text{Hz}$) 输出, FPGA 生成该分辨率下的电平时序逻辑^[4]。该分辨率下的点时钟频率和水平同步频率分别为 108MHz、64kHz, 可以计算得到实际输出 1066 行,

每行 1688 个像素点, 其中有效行 1280 行, 每行 1024 个有效像素点。

4 仿真与实现

综合后仿真是基于门电路的仿真, 把 RTL 代码用 Xilinx 库中的元件替换后做的仿真, 计算了器件的延迟信息, 相对普通仿真是更接近实际效果的仿真。设计使用 Verilog HDL 语言编写 IP 核, 综合后仿真使用 ModelSim SE 6.1c 平台仿真测试。仿真输入输出图像均真彩色。图 5a、图 5b、图 5c 是输入的三路图像, 图 5d 是图 5a、图 5b、图 5c 经过流水线融合叠加之后的效果图。三幅输入的图片 Alpha 值均设为 255, 输出效果较为理想。

经过综合布线的 IP 核在 Virtex4 芯片的开发板上验证结果表明, 其输出与仿真的效果相当, 图像流畅完整, 没有丢帧现象, 通过 I2C 接口可以设置任意一路图像的起始坐标位置和对应的 Alpha 值。



图 5(a)输入图像 1



图 5(b)输入图像 2

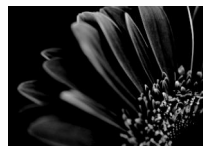


图 5(c)输入图像 3



图 5(d)叠加效果图

参考文献

- 1 王旭东,王新赛,李坚.基于 FPGA 的视频图像叠加系统的设计与实现.电子技术应用, 2007,(11):38-40.
- 2 王峰,邓锐.I2C 总线从器件接口的 FPGA 实现.科技信息, 2008,17:208-209.
- 3 蔡发志,苏进,叶兵.异步 FIFO 的 Verilog HDL 设计.仪器仪表用户, 2008,(3):68-69.
- 4 陈彬,伍乾永,刘永春.基于 FPGA 的 VGA 控制模块设计.微电子学, 2008,38(2):306-308.
- 5 吕超峰.图像融合算法研究及 DSP 实现[硕士学位论文].西安:西北工业大学, 2007.
- 6 何丕廉,李凤华.视频流水线处理器设计评述.郑州轻