

基于 FPGA 的嵌入式实时数据采集系统

A FPGA – Based Embeded Real – Time Data Acquisition System Foshan university

罗海天 雷晓平 (广东佛山科学技术学院计算机系 佛山 528000)

摘要:文章比较了常规的模拟量和数字量数据采集,给出了一个用现场可编程门阵列(FPGA)实现的实时嵌入式微机数据采集系统的软件/硬件设计方法,将部分软件的功能改由硬件实现,从逻辑上大大简化了嵌入式软件的设计。

关键词:现场可编程门阵列 嵌入式微处理机 数据采集 多路转换

在基于实时嵌入式微处理器的数据采集系统中,嵌入式软件必须从传感器上接收输入数据,数据采集的过程也影响嵌入式软件的设计以及执行时间。传统数据采集的方法是使用多路输入开关从不同传感器上传输数据。而多路开关通道的选择、控制信号的产生和数据读取都是由嵌入式软件来实现。现场可编程门阵列(FPGA)的应用,可将某些软件功能改由硬件来实现。在文章中,比较了传统的模拟量和数字量数据采集方法,给出了一个用FPGA实现的实时嵌入式微处理器数据采集的方法,从逻辑上大大简化了嵌入式软件的设计。该方案也可用于各种基于实时嵌入式微处理器数据采集的系统中。

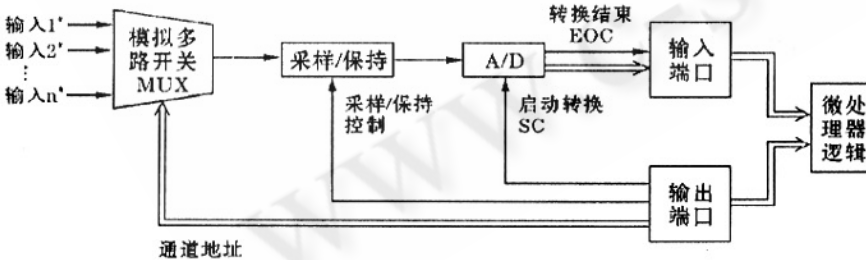


图 1 传统模拟数据采集结构图

1 传统数据采集的方法

在数据采集系统中,数据采集通过多路开关来实现,嵌入式软件必须设置多路开关的通道地址,产生采样/保持和A/D转换控制信号,在数据采集的每个周

期从输入端口读取数据,数据采集以及读取数据增加了软件的开销。图1是传统的模拟量数据采集方框图。在该系统中,数据采集有以下几步:

(1) 设置多路开关 MUX 的端口地址,记为 T_{OP} 。

(2) 选择适合输入数据以稳定 MUX 输出,记为 T_{MUX} 。

(3) 完成采样/保持操作,记为 T_{SH} 。

(4) 开始转换脉冲(SC)到达ADC,启动转换后,等待转换结束(EOC)记为 T_{ADC} 。最后从输入端口读取数据,记为 T_{IP} 。模拟输入采集所需的时间由以下公式描述:

$$T_A = T_{OP} + T_{MUX} + T_{SH} + T_{ADC} + T_{IP}$$

若系统有N个通道则N个通道数据采集的时间是 $N * T_A$ 。

图2是传统数字量数据采集方框图,数据采集的过程是,首先设置输出端口的MUX地址(T_{OP}),然后完成串并转换,并发选通信号,设 T_D 为数据传送的时钟周期,通道锁存数据的时间是 $T_S = 32T$,最后从输入

端口读取数据(T_{IP})。因此,在数据量数据采集中读入数据并完成转换所需的时间可用下式表示:

$$T_D = T_{OP} + T_S + T_{IP}$$

对于N个通道有 $N * T_D$ 。

2 FPGA 实现的数据采集系统

在用 FPGA 实现的数据采集系统中,数据采集包括采集外部传感器的数据和由嵌入式软件读取数据两个部分。通过设计一个控制/同步电路将原来由软件完成的数据采集任务转为由硬件来实现,简化了软件的

逻辑电路包括:

- (1) 一个模拟多路转换开关(MUX),输入数据转换到 MUX 中;
- (2) 一个采样/保持(S/H)电路,一个模/数转换器(ADC);

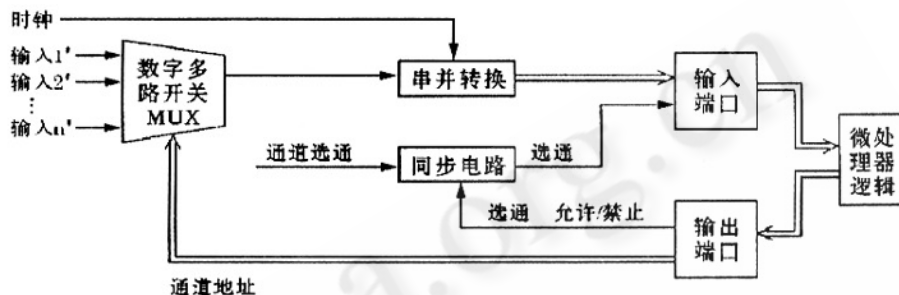


图 2 传统数字数据采集结构图

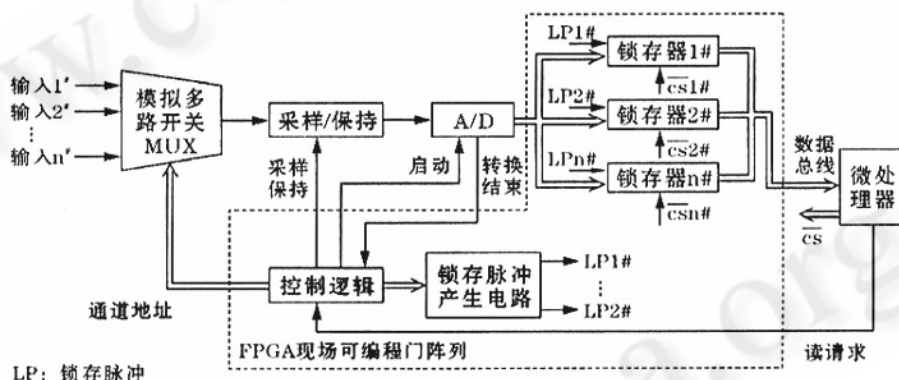


图 3 FPGA 实现的模拟数据采集系统结构图

复杂性,也减少了由微机执行这些任务所占用的 CPU 时间。这个控制/同步电路在微处理机读取数据期间处于禁止状态,防止了数据采集和读数据期间发生数据碰撞。由于所采集到的数据是存放在锁存器中,因此只需一个操作周期就可将锁存器中的数据读到微处理器中,一旦读数据操作完成,控制/同步电路又处于允许状态,继续进行数据采集过程。以下分别讨论由 FPGA 实现的模拟和数字采集过程。

2.1 模拟数据采集

图 3 给出了用 FPGA 实现的模拟数据采集系统的框图。读取锁存器中的数据操作是在嵌入软件的控制下进行的,而采集数据过程是由硬件实现的,数据采集

(3) 一个控制逻辑,该控制逻辑用来选择 MUX 通道地址,允许/禁止采集过程,产生锁存脉冲将 ADC 中的数据存入数据锁存器中。

采集过程有以下步骤:

- (1) 设置一个要选择通道的地址;
- (2) 采样并保持数据;
- (3) 启动 ADC 进行数据转换;
- (4) 等待 ADC 转换结束;

(5) 产生锁存脉冲将数据存入通道对应的锁存器中,每个通道都有一个与它相对应的专用锁存器。系统以循环方式对每个通道重复执行以上步骤。在数据采集期间嵌入软件不发出读数据请求,在读取数据时,

嵌入软件把每个锁存器当作一个输入端口,嵌入软件读取数据时执行以下步骤:(1) 发读数据请求给控制/同步电路禁止采集数据;(2) 等待控制/同步电路,禁止修改锁存器;从锁存器读入数据;(4) 终止读数据请求给控制/同步电路,以便继续采集数据并修改锁存器中的数据。当嵌入软件需要读入模拟数据时,执行步骤(1) - (4),这期间最新采集的数据总是放在锁存器中。

2.2 数字数据采集

图 4 给出数字数据采集系统框图。这个系统包括一个并行转换器矩阵 (SPCS), 锁存器和控制逻辑以控制允许/禁止采集过程和产生锁存脉冲把数据送入锁存器中。每个通道都有一个专用的 SPC 和一个与其相连的锁存器,采集过程有以下几步:1) 将 SPC 中的串行数据转换成并行数据;2) 由控制逻辑产生锁存脉冲把 SPC 中的数据装入到锁存器。

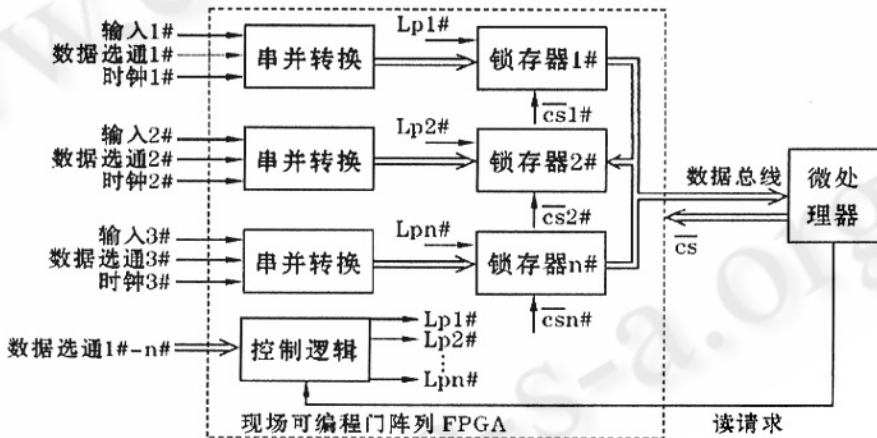


图 4 FPGA 实现的数字采集系统结构图

用一个现场可编程门阵列 FPGA 可以容易地实现这个采集逻辑,每个锁存器作为一个输入端口,嵌入软件按下列步骤实现数据读取:(1) 发读数据请求给控制/同步电路;(2) 等待控制/同步电路禁止修改锁存器;(3) 将所有锁存器中的数据读入到微处理器;(4) 终止读数据请求,以便采集到的数据可以刷新锁存器。这样锁存器总是存放最新采集到的数据。

3 结束语

在上面介绍的数据采集系统中,如果数据采集过

程和数据读取是一种松散的耦合,则嵌入软件的费用会减少,在数字数据采集系统中,通过为每一个输入分配一个专用串/并行转换器 (SPC),可获得快速的数据采集,另外可接收来自不同输入端口上的数据。在模拟数据采集系统中采用了一个多路转换开关 (MUX),对每个通道的选择是由外部硬件控制逻辑电路来完成,而不是由嵌入式软件完成的。通过数据采集和数据读取操作,嵌入软件只需允许/禁止控制逻辑进行数据采集,最新采集到的数据总是存放在锁存器中,并由软件读取。

在本系统中,把嵌入软件的某些功能转向硬件,减少了软件的成本,降低了软件的复杂性,而硬件成本的增加可以很容易地由 FPGA 抵消。

参考文献

1 R. Ernst, Codesign of embedded systems: status and

trends. IEEE Design and Test of Computers April - June 1998 (45 ~ 54).

2 王庆江、董渭清等,嵌入式系统及其开发领域典型特征分析,《计算机应用研究》2002.4, P11 ~ P13。

3 S. Edwards. et al. desing of embedded systems; formal models, validation and synthesis, proceedings of IEEE 85(3) (1997)366 ~ 390.

4 许海燕、卢伟等,低能耗嵌入式系统设计,《计算应用研究》2002.6。