

# 基于高性能安全存储芯片的 SATA 通路验证<sup>①</sup>



常琳琳<sup>1</sup>, 于哲<sup>2</sup>, 周舜民<sup>2</sup>, 韩林<sup>2</sup>

<sup>1</sup>(中原工学院 前沿信息技术研究院, 郑州 450007)

<sup>2</sup>(国家超级计算郑州中心, 郑州 450001)

通信作者: 常琳琳, E-mail: 2627622826@qq.com

**摘要:** 本文基于 UVM 验证方法学对自研高性能安全存储 SoC 芯片系统中 SATA 通路进行验证, 文中对高性能安全存储 SoC 芯片架构及 SATA 通路系统工作原理进行说明, 以 SATA DMA 数据传输方式为例介绍了 SATA 协议链路通信建立及数据传输过程. 搭建 UVM 系统验证平台, 文中对 SATA 协议进行分析, 设计规划系统层面测试用例, 编写加载至系统中运行的 C 固件测试程序, 实现对系统应用层面关注的 PIO、DMA、NCQ 等 SATA 命令方式数据传输通路的验证. 结合具体波形分析, 结果表明, SATA 通路相关集成设计是合理、满足芯片对 SATA 数据通路应用需求的, 实现了对高性能安全存储 SoC 芯片系统 SATA 通路的验证.

**关键词:** UVM; SoC; SATA 数据传输协议; SATA 通路; C 固件

引用格式: 常琳琳, 于哲, 周舜民, 韩林. 基于高性能安全存储芯片的 SATA 通路验证. 计算机系统应用, 2023, 32(5): 338-343. <http://www.c-s-a.org.cn/1003-3254/9077.html>

## SATA Pathway Verification Based on High-performance Secure Memory Chip

CHANG Lin-Lin<sup>1</sup>, YU Zhe<sup>2</sup>, ZHOU Shun-Min<sup>2</sup>, HAN Lin<sup>2</sup>

<sup>1</sup>(The Frontier Information Technology Research Institute, Zhongyuan University of Technology, Zhengzhou 450007, China)

<sup>2</sup>(National Supercomputing Center in Zhengzhou, Zhengzhou 450001, China)

**Abstract:** This study uses the UVM verification methodology to verify the serial advanced technology attachment (SATA) pathway in the self-developed high-performance secure memory system on chip (SoC) chip system. In this study, the architecture of a high-performance secure memory SoC chip and the working principle of the SATA pathway system are explained. Taking the SATA direct memory access (DMA) data transmission mode as an example, this study introduces the establishment of SATA protocol link communication and the process of data transmission. In addition, this study builds the UVM system verification platform, analyzes the SATA protocol, designs and plans the test cases at the system level, and writes the C firmware test program loaded into the system to run. In this way, programmed input/output (PIO), DMA, native command queuing (NCQ), and other data transmission pathways under SATA commands concerned at the system application level are verified. Together with the specific waveform analysis, the results show that the SATA pathway-related integration design is reasonable and meets the application requirements of the chip for the SATA data pathway, which verifies the SATA pathway for the high-performance secure memory SoC chip system.

**Key words:** universal verification methodology (UVM); system on chip (SoC); SATA data transfer protocol; serial advanced technology attachment (SATA) pathway; C firmware

① 收稿时间: 2022-09-23; 修改时间: 2022-10-21, 2022-10-27; 采用时间: 2022-11-15; csa 在线出版时间: 2023-03-17

CNKI 网络首发时间: 2023-03-20

芯片是现代科技发展的关键,应用范围广,市场需求更替速度快。System on chip (SoC) 芯片设计越来越复杂,工艺要求越来越高,做好一颗芯片的难度越来越大,芯片验证作为现代大规模芯片开发周期中最关键环节之一,其技术发展也在快速更迭,验证方法学(universal verification methodology, UVM)<sup>[1]</sup>汲取继承了OVM和VMM的优点,是当前主流的验证方法学<sup>[2]</sup>,极大提高了验证工作效率<sup>[3]</sup>。SATA (serial advanced technology attachment) 串行高级技术附件<sup>[4]</sup>协议是由Mentor、Cadence 等公司组成的 Serial ATA 委员会提出的一种串行硬件接口规范,主要用于主板和存储设备之间传输数据。SATA 装置简单、容量高、易使用,经济价格实惠,广泛应用于固态硬盘、存储器、服务器等。自研高性能安全存储 SoC 芯片中集成设计了 SATA Host 与 SATA Device 模块,在系统层面上为验证确保 SATA Host 和 Device 之间的数据通路是符合设计预期,能够正常运行,本文在基于 UVM 验证方法学的系统级验证平台上对 SATA Host<sup>[1]</sup>与 Device 之间的数据通路进行验证,通过对自研高性能安全存储 SoC 芯片的架构分析及 SATA 协议理解,确定系统级 SATA 数据通路的验证方案,设计测试用例进行仿真验证。结合对仿真结果波形的分析,验证了预期设计目标。

## 1 安全存储芯片架构及 SATA 协议数据传输简介

### 1.1 高性能安全存储 SoC 芯片简介

高性能安全存储 SoC 芯片<sup>[5]</sup>是一款面向多种存储介质数据安全传输和访问控制需求,具有高集成度、高兼容性、高安全可靠等特点的新一代国产自主可控存储安全 SoC 芯片。高性能安全存储 SoC 芯片以 ASIC 设计思想为核心<sup>[6]</sup>,采用具有自主知识产权的国产龙芯 LS232 嵌入式 CPU,采用成熟的 32 位多层 AMBA<sup>[7]</sup>总线矩阵技术作为互联枢纽。除实现时钟、复位、中断及系统控制等基本功能,该款芯片达到国密二级安全标准,支持硬件逻辑电路实现身份认证与数据流加解密相结合的双重安全机制,支持 SM1/2/3/4/9 系列商用密码算法的硬件电路实现,保留算法可编程、可重组的基础硬件资源,保留与外部高等级密码算法芯片连接的数据接口,轻松实现升级密码算法等级。外设接口方面该 SoC 芯片集成设计实现 PCIE、USB、网络 QOS 及主从 SATA II/III 等高速接口,支持高速 native command queuing (NCQ) 队列操作;此外该芯片具备丰富的 UART、SPIM、SPIS、IIC 等低速接口,支持实现电压、频率、温度及光检测等功能。芯片自主完成全部功能,不依赖于操作系统或其他上位机软件,具体安全存储 SoC 芯片架构如图 1 所示。

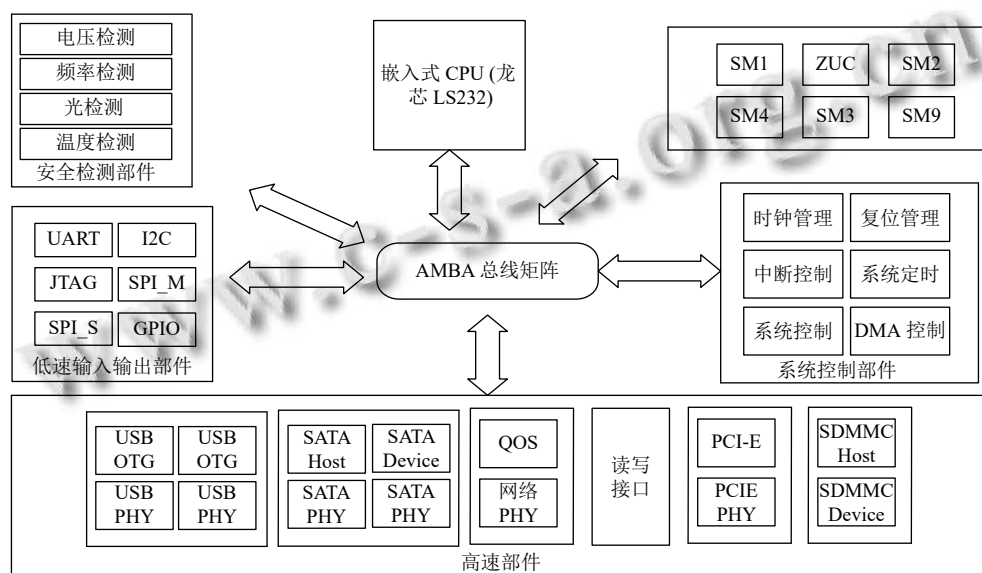


图 1 高性能安全存储 SoC 芯片架构

### 1.2 SATA 协议数据传输简介

#### 1.2.1 SATA 协议层简介

SATA 协议<sup>[4]</sup>采用点对点拓扑结构进行数据传输

通信,协议借鉴 TCP/IP 模型,由应用层、传输层、链路层及物理层 4 层构成,如图 2 所示。应用层与主机进行交互,负责整个 ATA 命令执行。传输层对在主机和

设备之间传输的控制信息和数据进行 FIS 帧封装与解封装. 链路层包含十几种原语, 包括用于标志帧起始和结束的 SOF 和 EOF 原语, 用于防止数据传输溢出控制的 HOLD 原语等. 链路层通过这些原语实现对数据流传输及帧的控制, 并使用 8b/10b 对每个字节进行编码或解码, 插入控制字符, 以便正确解码 10 位数据流. SATA 协议的物理层实现数据流的串并转换, 以串行数据流的形式发送和接收编码后的数据信息<sup>[4]</sup>. 在 SATA 协议数据通路建立链接的初始阶段将通过链路层或物理层产生 COMMREST、COMMIT、COMWAKE 等 OOB 原语进行链接建立的握手响应.

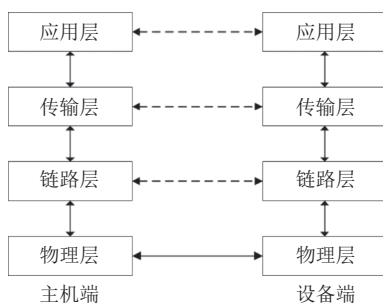


图2 SATA协议结构

### 1.2.2 SATA 协议数据传输过程简介

SATA 协议通过执行 direct memory access (DMA)、programmed input/output (PIO)、NCQ<sup>[4]</sup> 等读写命令的方式实现对数据传输控制, 不同命令的实际读写操作过程基本相似. 以典型的 Host 对 Device 的 DMA 方式读写数据操作为例, 图 3 和图 4 分别展示了 DMA 命令方式数据读和写的操作过程. DMA 命令读方式中, Host 和 Device 都初始化准备完成后, 软件对 Host DMA 控制器进行初始化配置, 向 Device 发送读命令 Register H2D FIS 帧, 设备分析执行命令并且准备 data FIS 发送给主机, 主机接收 data FIS 将数据存入内存, Device 发送完本次请求数据后, 给主机发送 Register D2H 帧, 告知本次命令数据传输请求结束. DMA 写命令操作过程与读操作类似, 软件对 Host DMA 控制器进行初始化配置, 向 Device 发送写命令 Register H2D FIS 帧, 设备分析执行命令, 向 Host 发送 DMA Activate FIS 告知 Host 准备好接收数据, Host 通过 data FIS 给 Device 发送准备好的数据, Device 接收数据并存入内存, Device 完成本次数据传输接收后, Device 给 Host 发送 Register D2H FIS 帧, 告知本次命令数据传输请求结束. 对于多次数据传输, Device 在接收每一

次 data FIS 前都要向 Host 发送 DMA Activate FIS 告知 Host 准备好接收数据.

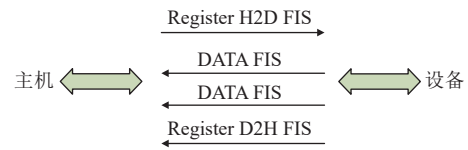


图3 DMA读命令过程



图4 DMA写命令过程

## 2 高性能安全存储 SoC 芯片系统 SATA 通路验证实现

高性能安全存储 SoC 芯片<sup>[5]</sup> 集成了兼容 SATA 3.0 及以下各版本协议的 SATA Device IP 和 Host IP, Host IP 通过 PHY 模块<sup>[8]</sup> 实现与外部支持 SATA 协议的存储介质链接进行数据传输; Device IP 通过 PHY 模块与支持 AHCI/SCSI 兼容 SATA 协议的主机进行互联传输数据. 在 SoC 芯片系统层面设计中, SATA Host 和 Device 构成一个数据传输通路, 该通路上可以传输两种数据流, 一种是经过加解密功能模块处理后的数据流, 一种是直通数据流模式. 直通数据流模式是进行加解密数据流模式的前提, 因此本文以直通数据流方式作为验证对象进行系统数据通路验证, 为后续进行加解密通道验证奠定基础. 为了进行可控配置 SATA IP 和 Device IP 的缓存数据深度及缓存加解密模式下待处理数据<sup>[9]</sup>, 设计中使用自主设计优化的外部 FIFO 替代 IP 模块自带的 FIFO, 具体拟验证 SATA 直通数据流通路如图 5 所示, 其中 PC 机使用 SATA HOST VIP 替代, Device model 模拟存储介质的行为, 实现 Device 读写操作的响应.

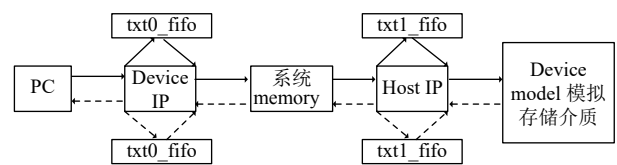


图5 直通数据流通路

## 2.1 验证环境

图6为利用SATA Host VIP及基于UVM<sup>[10]</sup>验证方法学构建的系统层面SATA通路验证平台示意图。SATA Host VIP实现SATA Host端相关命令协议,依据配置的命令工作方式发送/接收相关控制或数据帧; device agent<sup>[11]</sup>实现对SATA存储介质读写过程的响应操作模拟, SATA Scoreboard<sup>[12]</sup>对接收到来自Host VIP和Device agent<sup>[13]</sup>的数据进行对比判断。在验证的过程中,通过对SATA协议具体命令方式数据传输过程的理解,设计系统层面测试用例<sup>[14]</sup>,编写相关C固件程序,通过交叉编译生成hex文件加载到SoC芯片系统中仿真运行。

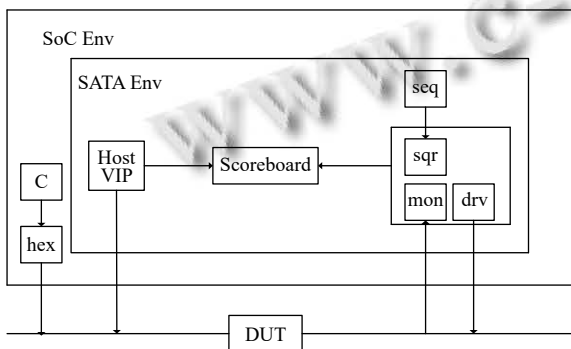


图6 SATA通路验证平台示意图

## 2.2 SATA通路验证测试用例设计

### 2.2.1 用例测试点说明

本文在系统层面对SATA通路的直通数据流模式进行验证,主要关注SATA Host与SATA Device在系统中以不同命令方式进行数据交互传输的通路测试,包括DMA、PIO、NCQ数据传输功能、NDC非数据命令测试<sup>[15]</sup>,除了对SATA通路进行数据传输功能测试,还进行了数据异常处理测试来确保验证的完备性。依据SATA协议和实际芯片功能需求,提取测试功能点并编写了表1中所列基于C语言的测试用例表,数据传输测试功能点与测试用例一一对应。以典型的DMA数据传输方式为例进行详细用例描述。

#### ① 寄存器读写功能测试

读出SATA寄存器的初始值,对SATA的全局和端口寄存器全写1,读出寄存器数据与spec规定的初始值进行对比,通过分析寄存器的读写情况对前端设计进行初步的判断。

#### ② 低功耗模式测试

为接收的fis配置内存空间,配置PCMDR寄存器,将SATA带入partial低功耗状态,检测链路的状态,配置PCMDR寄存器使得SATA进入active状态,轮询检测链路的状态。

表1 测试用例列表

测试点	测试用例	描述
寄存器读写功能测试	t_reg_rw	寄存器读写功能测试
低功耗模式测试	t_trans_loop_pm	低功耗模式测试
DMA数据传输测试	t_trans_loop_dma	DMA数据传输测试
PIO数据传输测试	t_trans_loop_pio	PIO数据传输测试
NCQ数据传输测试	t_trans_loop_ncq	NCQ数据传输测试
NDC非数据命令测试	t_trans_loop_ndc	非数据命令测试
数据异常处理测试	t_trans_loop_error	注入错误数据用例测试

#### ③ DMA数据传输测试

建立SATA Device所用接收和发送FIS结构体,分配接收FIS的地址。循环检查寄存器PSSTS,直到interface在active态,速度为非0,Host检测存在。Device接收FIS并且分析FIS的command确定是读命令还是写命令,如果是DMA写命令,则配置prd链表进行接收,配置接收数据长度、几个prd等,配置PCMDR的ST位和PDTR位中相应的命令槽,开始接受数据,轮询检测是否接收完成。接收完成后,配置寄存器PCMDR,发送寄存器帧,检查寄存器PCMDR的TXREG位,如果为0则表示写操作完成。DMA读命令的测试过程与写命令测试过程类似,只不过读命令与写命令的数据方向相反,最后只需检测PCMDR寄存器的TXREG位,为0则说明读操作完成。

#### ④ 数据异常处理测试

数据异常处理测试是对待测设计注入错误测试用例,即SATA通路在碰到错误帧时,是否能够继续保持正确,从而避免发送错的数据。使用一个错误的FIS替换正确的FIS,查看SATA的端口中断寄存器是否能将相关位进行置位,并利用测试用例轮询检查错误状态位置。

### 2.2.2 用例关键数据结构定义

设计的验证C固件程序测试用例在参与到具体数据传输中需要支持对部分SATA协议命令功能进行交互,在启动任何数据传输操作之前,固件必须构造数据传输中必须的物理区域描述符表、命令列表和FIS内存结构,在测试用例中则通过定义数据结构体实现。用例中部分关键数据结构体定义如下。

物理区域描述符表结构体定义:

```
typedef struct prd_entry
{
    u32 dba; /*Data base Address*/
    u32 dba_up; /*Data base Address Upper 32-bits*/
    u32 rev;
    u32 dbc_i;
}tx_prd_entry;
```

命令表的命令头结构体定义:

```
typedef struct cmd_hdr_entry_d
{
    u32 prdtl_attr; /*Physical region length*/
    u32 dmatc; /*DMA Transfer Count*/
    u32 dmabo; /*DMA Buffer offset*/
    u32 prdtba; /*prd table base address*/
    u32 prdtbau; /*prd table base address upper 32 bits*/
    u32 rev[3];
}tx_cmd_hdr_entry_d;
```

FIS 内存结构体定义:

```
typedef fis_share_area
{
    u32 h2d_fis[5];
    u32 d2h_fis[5];
    u32 pio_fis[5];
    u32 sdb_fis[7];
}tx_fis_share_area;
```

### 3 仿真结果分析

验证中使用 vcs 和 verdi 工具进行仿真、波形查看。SATA 协议通过 COMRESET、COMINIT、COMWAKE 这 3 种 OOB 信号<sup>[4]</sup> 进行上电后链路初始化协商建立<sup>[16]</sup>。芯片正常上电后, Host 给 Device 发送 COMRESET, Device 接收后给 Host 发送 COMINIT, Host 进行校准, 校准完成后 Host 给 Device 发送 COMWAKE, Device 接收到后以同样的方式给 Host 发送 COMWAKE 信号, 双方再进行速率协商后即可建立通信。通过对仿真波形进行分析, 在芯片上电后整个 SATA 通路链路建立过程是和协议要求一致的, 建立通信链接是 SATA 进行数据传输的前提, 具体建立过程如图 7 所示。以典型的 DMA 数据传输<sup>[15]</sup> 为例进行分析, SATA Host 和 Device 以系统 memory 为缓存中介, 从中读取缓存的数据或者向其中写入缓存的数据等待对端 IP 将数据读取, 如图 8 所示。对 SATA 通路注入错误测试用例时, 端口中断寄存器置位并上报错误, 测试用例轮询检测到了错误状态位置, 如图 9 所示。从仿真波形结果分析可知设计的 C 程序测试用例实现了对系统层面的 SATA 通路<sup>[5]</sup> 验证, 说明系统集成 SATA Host 和 SATA Device 设计构成的直通数据通路功能是符合预期的。

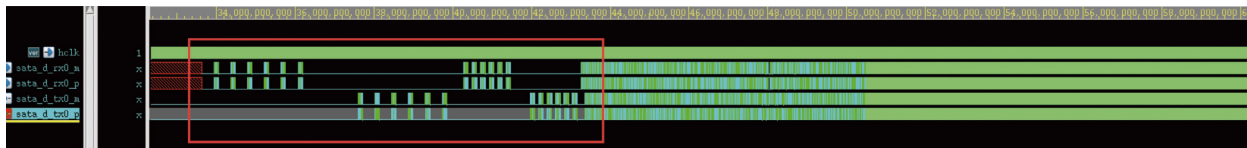


图 7 链路建立 OOB 上电序列



图 8 数据传输中系统 memory 中缓存的数据

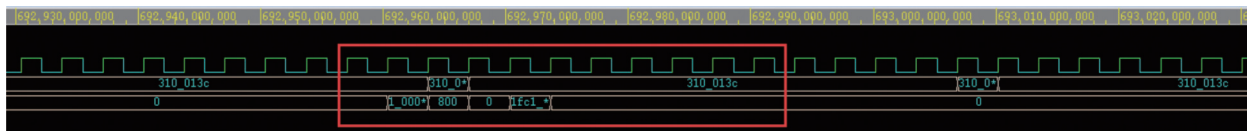


图 9 错误状态位置

### 4 结束语

本文主要对高性能安全存储 SoC 芯片中 SATA 直通数据通路进行验证, 在充分对芯片架构理解的基

础上设计确认系统层面的验证通路结构, 结合对 SATA 协议的理解设计相关命令方式数据传输测试用例<sup>[2]</sup>。通过对结果的分析证明系统集成设计中实现了预期的通

路功能,系统层面上 SoC 芯片是能够调度协调多个子模块正常工作的.同时,也对后期进行加解密数据通路验证铺垫了基础.

### 参考文献

- 1 徐佳安. 基于 UVM 的 SATA AHCI 验证 [硕士学位论文]. 上海: 上海交通大学, 2019.
- 2 刘斌. 芯片验证漫游指南: 从系统理论到 UVM 的验证全视界. 北京: 电子工业出版社, 2018.
- 3 Raghuvanshi S, Singh V. Review on universal verification methodology (UVM) concepts for functional verification. *International Journal of Electrical*, 2014, 2(3): 101–107.
- 4 SATA-IO. Serial ATA advanced host controller interface (AHCI) spec revision 3.4. SATA-IO, 2018.
- 5 于哲. 新一代移动安全存储控制 SoC 芯片设计 [硕士学位论文]. 天津: 天津大学, 2013.
- 6 刘达, 倪伟, 徐春琳. 基于 UVM 的 AXI 总线验证 IP 设计. *微电子学*, 2019, 49(5): 680–685. [doi: 10.13911/j.cnki.1004-3365.180463]
- 7 王兴耀, 戴宇杰. 基于 UVM 的 AHB-UART 模块验证. *南开大学学报 (自然科学版)*, 2020, 53(5): 82–86.
- 8 程晓航. 基于 FPGA 的 SATA 盘大容量存储系统的设计与实现 [硕士学位论文]. 西安: 西安电子科技大学, 2019.
- 9 王晶, 赵云鹏, 池骋. 一种 SATA 固态硬盘 Power Cycle 功能自动化测试方法. *微电子学与计算机*, 2021, 38(8): 40–44.
- 10 刘森态, 庞宇, 魏东. 基于 UVM 的 Wishbone-SPI 验证平台设计. *电子技术应用*, 2022, 48(6): 36–41.
- 11 徐梓文, 郭桂良. 基于功能覆盖率的 MAC 的 UVM 验证. *计算机与数字工程*, 2021, 49(11): 2282–2286. [doi: 10.3969/j.issn.1672-9722.2021.11.021]
- 12 Wang J, Wang F. An advanced verification platform based on UVM. *Applied Mechanics and Materials*, 2014, 670–671: 1441–1446.
- 13 田晓旭, 徐庆阳, 汤先拓, 等. 基于 UVM 的寄存器验证自动化方法. *集成电路应用*, 2020, 37(2): 18–21.
- 14 Kamireddy LS, Kamireddy LS. UVM based reusable verification IP for wishbone compliant SPI master core. *International Journal of VLSI Design & Communication Systems*, 2018, 9(5): 21–29.
- 15 张宇. 固态硬盘中 SATA 接口控制器命令层的设计及验证 [硕士学位论文]. 南京: 南京理工大学, 2014. [doi: 10.7666/d.y2520834]
- 16 Yang Z, Xu H, Li N, *et al.* FPGA logic design of SATA3.0 physical layer. *Proceedings of the 2015 IEEE 11th International Conference on ASIC*. Chengdu: IEEE, 2015. 1–4.

(校对责编: 牛欣悦)