

基于 FPGA 和 UDP/IP 协议的千兆网络图传系统^①

韩剑南, 胡辽林

(西安理工大学 机械与精密仪器工程学院, 西安 710048)

通讯作者: 韩剑南, E-mail: apple9515@qq.com

摘要: 随着图像领域硬件设备的升级换代, 越来越多的设备已经使用百万像素级别的图像, 而传输图像的设备也成为最为基础和重要的一环. 针对这类问题, 本文采用简单易行的 UDP/IP 协议和编程灵活、实时性好的 FPGA 作为硬件平台. 在 UDP/IP 中的添加图像数据报文协议, 采用硬件实现该协议和图像实时显示. 实验结果表明, 本系统能够实现速度为 865.19 Mbit/s 的图像传输和实时显示, 同时满足便于移植、高速传输和高度集成这三点要求.

关键词: UDP/IP 协议; 图像传输; FPGA; 千兆以太网

引用格式: 韩剑南, 胡辽林. 基于 FPGA 和 UDP/IP 协议的千兆网络图传系统. 计算机系统应用, 2018, 27(3): 99-104. <http://www.c-s-a.org.cn/1003-3254/6281.html>

Gigabit Network Image Transmission System Based on FPGA and UDP/IP Protocol

HAN Jian-Nan, HU Liao-Lin

(School of Mechanical and Precision Instrument Engineering, Xi'an University of Technology, Xi'an 710048, China)

Abstract: With the upgrade of hardware equipments in image area, more and more devices are already using megapixel images, and the device that transmits images is also a basic and important part. In allusion to those problems, this study uses simple and easy UDP/IP protocol and flexible, real-time FPGA as the hardware platform. This system adds image data protocol to UDP/IP, using hardware to implement the protocol and image display in real time. The results show that the system cannot only realize the image transmission which achieves a speed of 865.19 Mbit/s and real-time display, but it can also meet the demands of excellent transplantation, high-speed transmission, and high integration.

Key words: UDP/IP protocol; image transmission; FPGA; gigabit network

图像处理、机器视觉等技术是当今工程领域的热门课题, 图像传输系统的高速化、网络化已经成为这个方向的一个重要组成部分, 也被视为国内外相关领域的焦点^[1]. 随着摄像头硬件性能的提升, 图像的像素量也大幅提高. 图像传输设备的高速化和集成化已经成为主流发展方向.

针对网络数据传输的硬件系统, 现在主流的方案都源自不同的嵌入式平台进行搭建. 各自硬件方案都有各自的优缺点, 而达到速度、效率和移植性三者之间的平衡才是以太网传输系统设计的关键. 千兆以太网传输硬件系统^[2-5]主要有:

(1) 基于进阶精简指令集机器 (Advanced RISC Machines, ARM) 的硬件平台. 该平台需要 ARM 的芯片配上千兆网卡, 运行在 Linux 系统下. 此硬件平台有使用 C 语言编程, 易于移植在同类芯片, 指令集兼容性好等优点. 但其缺点也很突出, 因为引入网卡, 所以需要编写驱动文件, 不同网卡驱动不兼容, 维护成本高, 操作复杂.

(2) 基于数字信号处理 (Digital Signal Processing, DSP) 芯片的硬件平台. 对于网络而言, DSP 内也有集成的以太网接口芯片. 在编写程序时, 可以调用库文件实现以太网的通信, 所以 DSP 平台相较 ARM 平台来

^① 收稿时间: 2017-07-04; 修改时间: 2017-07-28; 采用时间: 2017-08-04; csa 在线出版时间: 2018-02-09

说开发更容易.但是,该平台软件开发的库文件冗余,裁剪和自定义难度大,系统设计灵活性不高.同时因为DSP采用串行指令流和中断机制,也产生了系统执行效率不高的问题.

(3) 基于现场可编程门阵列 (Field Programmable Gate Array, FPGA) 的硬件平台. FPGA 具有逻辑资源多,集成度高,处理速度快,执行效率高,编程灵活等特点.针对网络应用,常使用 FPGA 和物理层 (Physical Layer, PHY) 芯片的这种硬件组合. PHY 芯片处于 OSI 模型的物理层,是一种与外部信号相连的接口芯片.主要作用是定义了数据传输所需要的电平标准、时钟基准和数据编码等信息,并向数据链路层提供接口标准.该系统不用调用库函数或者使用串行指令,不需要驱动的编写.通过分模块编写 Verilog 代码,完成介质访问控制层 (Media Access Control, MAC) 配置和 PHY 芯片的配置,相对灵活地实现用户数据报协议/因特网互联协议 (User Datagram Protocol/Internet Protocol, UDP/IP) 协议.

针对这种非压缩、大数据量的特点,本文设计了一种基于 FPGA 硬件数据自定义 UDP/IP 协议的千兆网络图传系统的解决方案.UDP/IP 协议主要用在同步通信或者强调实时性的通信中,该协议是面向无连接的通信,所以任何时刻都能发送数据^[6-8].而且,因为它处理过程很简单,所以适合进行高速处理.利用 FPGA 的高速性、灵活性、硬件资源丰富等特点,实现硬件 UDP/IP 协议栈,达到高速传输的目的.

1 系统总体框架设计

系统选用 Xilinx 公司 XC6SLX45T 芯片作为硬件开发平台,并外接 VSC8601 芯片、ADV7513 芯片和三代双倍数据速率 (Double Data Rate 3, DDR3) SDRAM 芯片. VSC8601 芯片作为千兆以太网的 PHY 芯片,用于规定以太网物理层电平标准等. ADV7513 芯片作为高清晰度多媒体接口 (High Definition Multimedia Interface, HDMI) 输出图像信息. DDR3 SDRAM 主要用于缓存大量图像信息.由于 DUP/IP 协议模块使用 125 MHz 的时钟,接收数据和发送数据各使用 4 根数据线发送 DDR 数据,所以传输速度可以达到千兆级别.

系统设计原理,如图 1 所示. PC 机将图像信息以 UDP 协议封装的形式,通过双绞线发送到以太网 PHY 芯片.由于以太网传输数据采用吉比特介质独立接口 (Reduced Gigabit Media Independent Interface, RGMII) 进行传输数据,所以 FPGA 与 PHY 芯片之间通信,需要在 FPGA 端编写双倍数据速率 (Double Data Rate, DDR) 数据和单倍数据速率 (Single Data Rate, SDR) 数据之间的转换模块. SDR 数据经过 UDP/IP 协议模块,将图像信息存入 DDR3 控制模块.当一幅图像存储完后,会产生一个标志信息,UDP/IP 协议模块会将图像信息封装起来,按照 UDP/IP 协议的格式,发给 PHY 芯片. PHY 芯片通过双绞线将数据发给 PC 机.同时图像显示控制模块也会不停读取 DDR3 SDRAM 中的图像信息,通过 HDMI 接口芯片显示在显示器上.

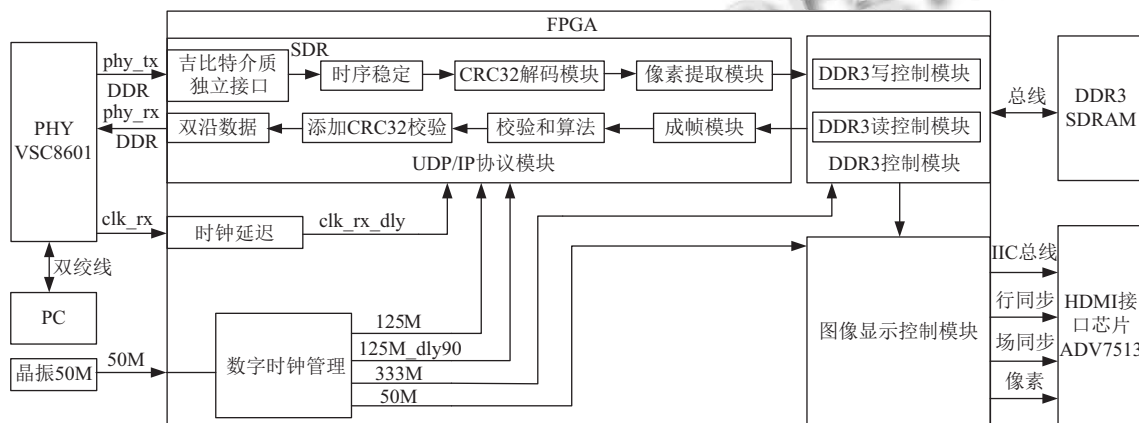


图 1 系统设计原理

2 功能模块设计

2.1 UDP/IP 协议模块

系统根据 UDP/IP 协议定义以下用于传输图像的 UDP/IP 协议,如图 2 所示.图中第一行为 UDP/IP 协议

报头格式,属于国际标准格式^[9].在 UDP/IP 数据内容中,用户可以自定义协议,用来传输用户的数据,如图 2 中第二行和第三行.发送数据时,需要先发送一个数据头包,然后再发送数据信息.由于 UDP 协议规定,每个 UDP

报文长度不得超过 1500 个字节, 而一个像素占 3 个字节, 400 个像素即 1200 个字节. 现定义一个数据包最多

携带 400 个像素信息, 所以传输一幅 1024×768 个像素的图像的一行 (1024 个像素点), 需要分 3 个数据包发送.

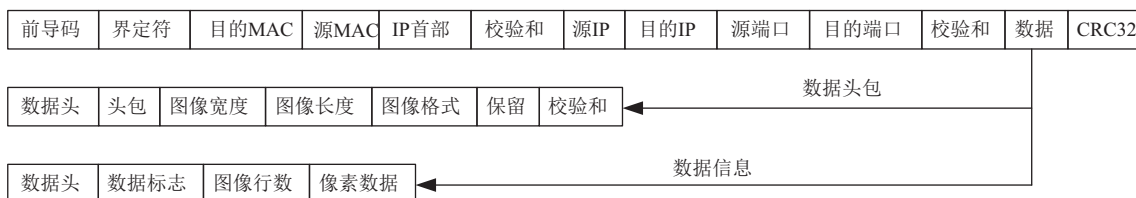


图2 UDP/IP 协议帧

当 UDP/IP 协议模块接收到图像信息时, 需要先将 PHY 芯片发来的信息通过时序逻辑, 将数据的时序稳定. PHY 芯片的时钟需要经过一个数字时钟管理 (Digital Clock Manager, DCM) 延迟 90 度相位, 这样能够提高时钟采集数据的稳定性^[10,11]. 将稳定后的数据经过循环冗余校验 (Cyclic Redundancy Check 32, CRC32) 解码模块后, 通过像素提取模块将像素信息提取出来^[12], 将像素信息经过 DDR3 控制模块写入 DDR3. 当一幅图像存储完后, DDR3 控制模块会产生一个标志, 成帧模块会将像素打包成 UDP 协议帧, 在

经过校验和算法模块添加校验和, 最后通过 CRC32 编码生成完整的 UDP 报文. 此时 UDP 报文是 SDR 数据, 需要经过变换成 DDR 数据发送给 PHY 芯片, 最后 PC 机接收到数据, 完成图像传输.

2.2 DDR3 控制模块

针对 DDR3 SDRAM 来说, Xilinx 公司 XC6SLX45T 芯片中内置内存控制块 (Memory Controller Block, MCB) 硬核, MCB 是用来控制 DDR3 SDRAM. 而用户需要编写一个控制 MCB 的模块, 实现控制 MCB 模块, 间接控制 DDR3 SDRAM^[13,14], 其控制结构如图 3 所示.

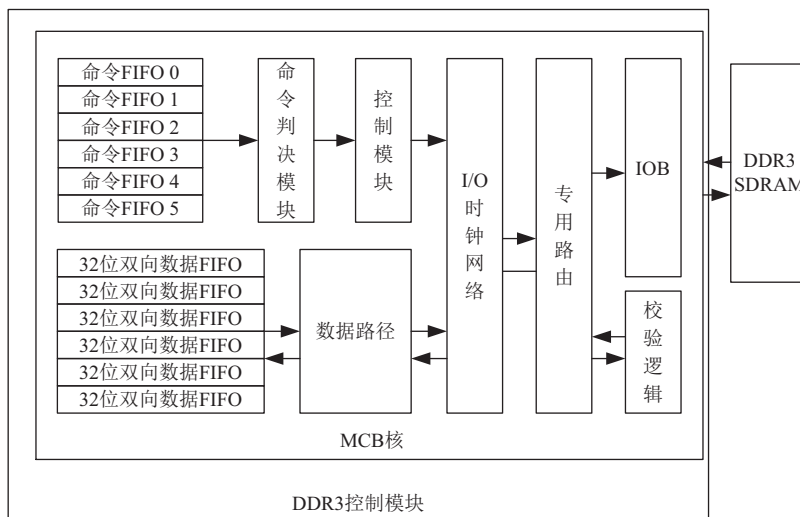


图3 MCB 控制模块

命令先入先出队列 (First Input First Output, FIFO) 用于接收 DDR3 SDRAM 的读写指令, 每当 MCB 模块接收到读或写指令后, 便会将数据 FIFO 中的数据读走或写入, 存入或读取 DDR3 SDRAM. 控制 MCB 模块的 Modelsim 仿真波形如图 4 所示. MCB 模块设置为突发长度为 64.

2.3 图像显示控制模块

当 DDR3 SDRAM 芯片上电, 该芯片需要初始化. 之后会产生一个标志信号. 只要该标志信号拉高, 则图像显示模块一直循环从 DDR3 开始读数据. 由于 MCB 读出的时钟频率是 125 MHz, 而 720 P 的图像显示时钟频率是 65 MHz, 所以需要 FIFO 进行跨时钟域. 而控制

FIFO 读数据到 HDMI 需要设定一个阈值, 实验设定的阈值是 1524 个数据, 当 FIFO 内数据超过该阈值则进

行读数据到 HDMI, 并且 MCB 只有在 FIFO 内数据小于该阈值时, 才向 FIFO 内写数据. 其读写时序如图 5.

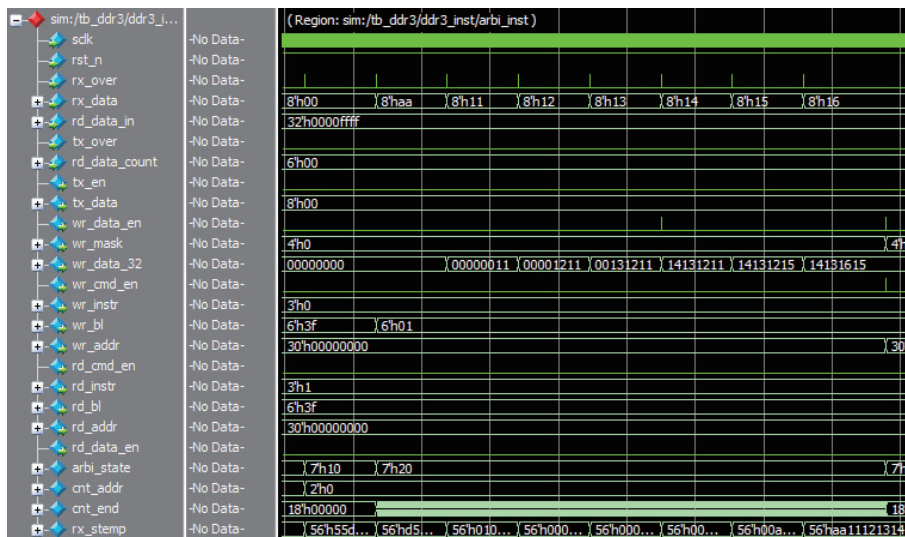


图 4 Modelsim 仿真波形

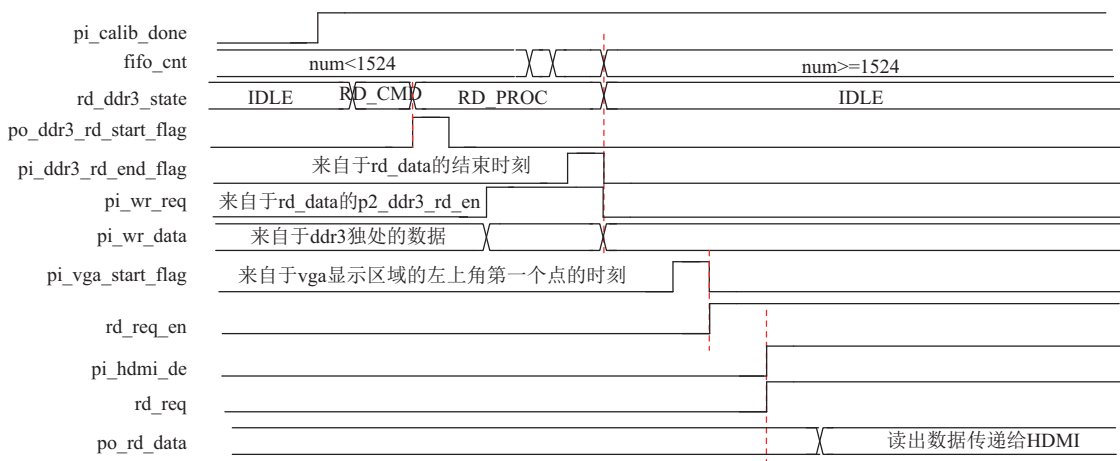


图 5 图像数据 FIFO 时序

3 系统测试

系统的硬件测试平台如图 6 所示, 左显示器用于 HDMI 显示 PC 机发来的图像, 右显示器用于操作 PC 机软件, PC 端的软件可以显示 FPGA 发来的图像预览图, 如图 7 所示. 系统将硬件开发平台用双绞线与计算机直接相连, 先将图像通过 PC 机发送给 FPGA, FPGA 收到该图像后, 将图像通过 HDMI 显示到显示器上, 同时将数据重新打包, 将图像信息以 UDP 协议封装成数据包, 通过网线发送到计算机上, 计算机收到后, 软件显示收到的图像预览图.

图 8 是使用 Wireshark 软件抓取网络数据包, 用该软件可以捕获到 FPGA 发送给 PC 机的 UDP 协议封装的图像数据. 可以从图 8 中看出, 计算机收到的数据符合 UDP/IP 协议报文格式, 数据信息为头包+数据包方式传输, 并且一行图像分成了三包数据发送.

图 9 是使用 ChipScope 软件抓取的 FPGA 内部信号的时序图, ChipScope 不同于 Modelsim 仿真软件, 它显示的时序逻辑并不是仿真波形, 而是开发板中的实际波形. 从图 9 可以看出 FPGA 发出的数据包格式正确, 硬件系统功能正常.

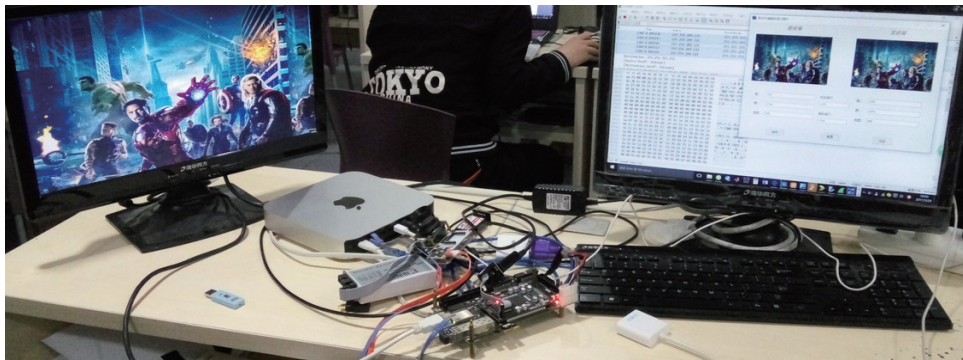


图6 硬件测试平台



图7 PC端图片发送接收软件

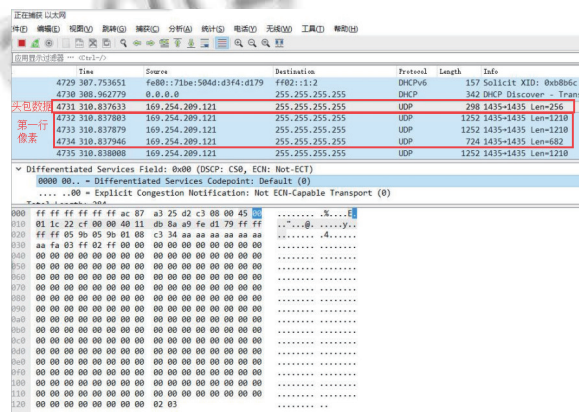


图8 Wireshark软件抓取的数据

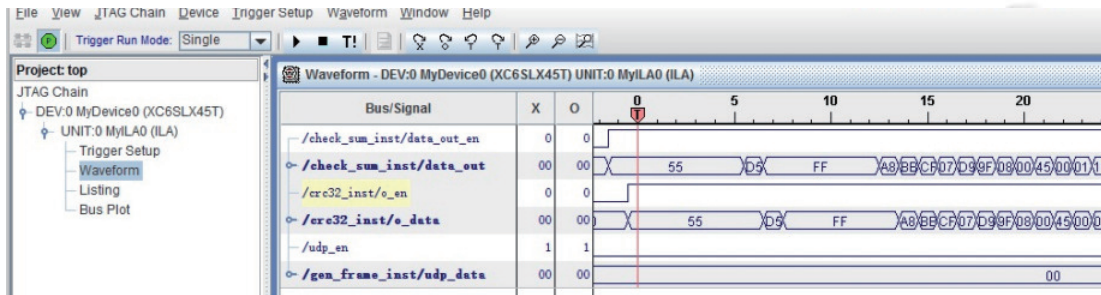


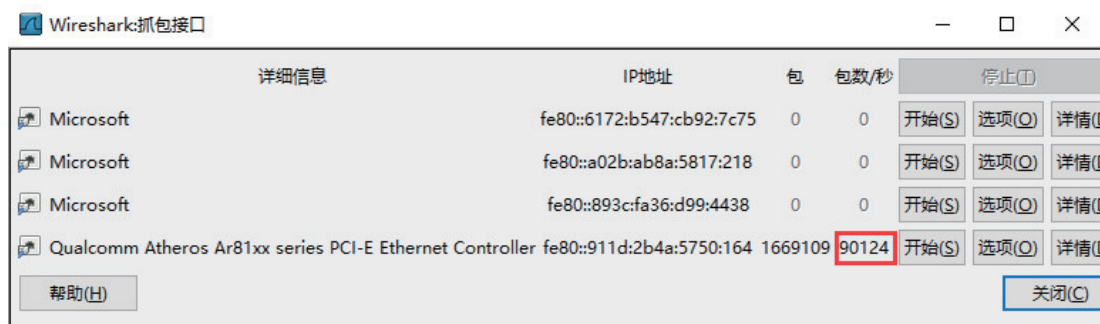
图9 ChipScope软件抓取的数据

图10 是使用 Wireshark 软件获取的以太网吞吐量,可以看出传输速度是 90124 包/s. 一个数据包是 1200 个字节, 一个字节是 8 bit. 经过简单计算可以得到传输速度是 865.19 Mbit/s. 由于数据包之间会有包间隔时间, 所以不能真正达到 1024 Mbit/s 的速度.

4 结论

本系统以 FPGA 和 PHY 芯片作为硬件平台, 硬件

实现 UDP/IP 协议栈封装图像信息. 系统设计灵活、体积小、速度快, 能够满足高速传输图像的要求. 由于系统 MAC 层协议是 Verilog 编程实现, 所以调整方便、成本低、接口简单. 实验测试结果表明, 系统传输数据稳定, 传输速度可达 865.19 Mbit/s, 易于维护, 便于移植, 为高清图像传输提供了一种良好的解决方案, 应用前景广泛.



详细信息	IP地址	包	包数/秒	停止(T)
Microsoft	fe80::6172:b547:cb92:7c75	0	0	开始(S) 选项(O) 详情(D)
Microsoft	fe80::a02b:ab8a:5817:218	0	0	开始(S) 选项(O) 详情(D)
Microsoft	fe80::893c:fa36:d99:4438	0	0	开始(S) 选项(O) 详情(D)
Qualcomm Atheros Ar81xx series PCI-E Ethernet Controller	fe80::911d:2b4a:5750:164	1669109	90124	开始(S) 选项(O) 详情(D)

图 10 Wireshark 抓取的以太网吞吐量

参考文献

- 俞鹏炜, 任勇, 冯鹏, 等. 基于 FPGA 的千兆以太网 CMOS 图像数据传输系统设计. 国外电子测量技术, 2016, 35(11): 76-81. [doi: 10.3969/j.issn.1002-8978.2016.11.018]
- 付高原, 郭臣, 潘进勇, 等. 基于 FPGA 的 UDP 点对点传输协议实现. 电子设计工程, 2017, 25(2): 181-184.
- 姜兴家, 刘布民, 何春梅, 等. 一种基于 FPGA 实现的视频流可靠传输方案. 物联网技术, 2014, 4(2): 44-46.
- 王宇聪, 韩启祥, 蔡惠智. 声纳信号处理中 UDP 协议数据传输研究与设计. 现代电子技术, 2012, 35(1): 78-79, 84.
- 侯义合, 张冬冬, 丁雷. 基于 FPGA+MAC+PHY 的千兆以太网数传系统设计. 科学技术与工程, 2014, 14(19): 275-279. [doi: 10.3969/j.issn.1671-1815.2014.19.053]
- 顾颖彦. 反射内存网实时通信技术的研究. 计算机工程, 2002, 28(7): 143-144, 257.
- 李勋, 刘文怡. 基于 FPGA 的以太网接口设计与实现. 自动化与仪表, 2014, 29(5): 57-60.
- 肖卫国, 尔联洁, 谢廷毅, 等. 基于共享内存机制微机实时网的数据传输实时性研究. 系统仿真学报, 2004, 16(8): 1717-1720.
- 沈潇波, 聂玉鑫. 基于 UDP 协议的数据桥接单元设计. 声学与电子工程, 2012, (1): 27-29.
- Zhao LD. Using UDP datagram to realize a distributed control mode at high-speed data communication. Physics Procedia, 2012, (25): 886-891. [doi: 10.1016/j.phpro.2012.03.173]
- 高富强, 夏禹, 戴正国, 等. 基于 UDP 的工业 CT 数据传输系统. 核电子学与探测技术, 2012, 32(3): 311-315, 347.
- 陈杰华. 基于 FPGA 的 IP 数据报的提取模块的设计. 福建电脑, 2010, 26(2): 125-126.
- 范璐, 顾国华, 陈钱. 基于多路 UDP 的红外图像采集. 数据采集与处理, 2012, 27(S1): 186-189.
- 胡冠敏, 徐志军, 许广杰. 基于 FPGA 的硬件协议栈精简实现. 军事通信技术, 2011, 32(3): 61-65.