

# 基于非均匀感知策略的 MLC 闪存系统<sup>①</sup>

张旋<sup>1,2</sup>, 燕莎<sup>1</sup>, 周乐<sup>2</sup>

<sup>1</sup>(西安理工大学 高等技术学院, 西安 710082)

<sup>2</sup>(西安电子科技大学 计算机学院, 西安 710071)

**摘要:** 面向多级单元 (Multi-Level Cell, MLC) 的 LDPC 码的最小和 (Min-Sum, MS) 译码算法译码性能取决于码字中每个比特对应的对数似然比 (Log-Likelihood Ratio, LLR) 的准确度, 然而基于均匀感知策略的 MLC 电压读取方法需要提高感知精度才能获取精度高的 LLR 值, 这将增加 MLC 闪存单元的读取时间. 针对这种情况, 本文提出一种基于非均匀感知策略的 MLC 闪存 MS 译码算法, 该算法对 MLC 闪存阈值电压的感知采用非均匀的感知策略. 在相同的感知精度下, 相比于均匀感知策略, 非均匀感知策略能够提高 LLR 的准确度, 获得更低的原始比特错误率. 仿真结果表明, 在 MLC 闪存信道条件下, 该算法既可保证 MLC 闪存单元可靠性, 而且保持较快的读取速度, 从而实现了译码速度和译码性能间的良好折衷.

**关键词:** 多级单元; 单元间干扰; 非均匀感知策略; 最小和译码算法; 对数似然比

引用格式: 张旋, 燕莎, 周乐. 基于非均匀感知策略的 MLC 闪存系统. 计算机系统应用, 2018, 27(2): 107-111. <http://www.c-s-a.org.cn/1003-3254/6176.html>

## MLC Flash Memory Based on Non-Uniform Sensing Strategy

ZHANG Xuan<sup>1,2</sup>, YAN Sha<sup>1</sup>, ZHOU Le<sup>2</sup>

<sup>1</sup>(Faculty of High Vocational Education, Xi'an University of Technology, Xi'an 710082, China)

<sup>2</sup>(School of Computer Science and Technology, Xidian University, Xi'an 710071, China)

**Abstract:** The performance of min-sum (MS) decoding algorithm depends on each bit corresponding to the accuracy of log-likelihood ratio (LLR) for multi-level cell (MLC). However, uniform sensing strategy needs to increase the sensing precision in order to obtain high accuracy of LLR, which increases the reading latency of MLC. In this study, an MS decoding algorithm is proposed for MLC flash memory, which uses non-uniform sensing strategy for the threshold voltage of MLC. In the same sensing precision, compared to the uniform sensing strategy, the non-uniform sensing strategy can improve the accuracy of LLR and lower the raw bit error rate. The simulation results show that the proposed method can not only guarantee the reliability of the MLC flash memory, but also keep the fast reading speed for MLC flash memory, thus achieving a better tradeoff between complexity and decoding performance.

**Key words:** multi-level cell; cell-to-cell interference; non-uniform sensing strategy; min-sum decoding algorithm; log-likelihood ratio

NAND 闪存是非易失性存储器 (Non-Volatile), 由于其高容量、低成本、读写速度快等优点被广泛应用于消费电子产品中, 如手机、笔记本电脑等<sup>[1,2]</sup>. 多级单元 (Multi-Level Cell, MLC) 技术成为提高 NAND 型

闪存数据容量和降低成本的有效手段. 然而, 目前 NAND 闪存芯片封装尺寸减少, MLC 闪存浮栅中可存储的电子变少、相邻电位窗口间隔变窄、相邻 MLC 单元之间的寄生耦合电容效应变大, 单元间干扰 (Cell-to-Cell

① 收稿时间: 2017-04-25; 修改时间: 2017-05-11; 采用时间: 2017-05-16

Inference, CCI) 成为影响闪存阈值电压失真的主要原因. 因此, NAND 闪存的可靠性急剧下降<sup>[3]</sup>.

随着 NAND 闪存封装尺寸减小和 MLC 技术的应用, 传统的纠错码已不能满足 MLC 型 NAND 闪存的可靠性要求<sup>[4,5]</sup>. LDPC 码是具有低译码复杂度和逼近香农限的良好性能成为提高 MLC 型 NAND 闪存可靠性的研究方向之一<sup>[3-6]</sup>. Wang 和 Courtade 研究利用闪存信道的统计信息获得更好的 LDPC 码软判决译码性能<sup>[7]</sup>. 对于 MLC 闪存软信息的准确度会影响到 LDPC 码译码器的纠错性能. 基于均匀感知策略的 MLC 电压感知方法需要提高感知精度才能获取高精度的对数似然比 (Log-Likelihood Ratio, LLR) 值. 但是, 高感知精度会消耗更长的感知时间, 影响闪存的读取速度. 本文提出了一种基于非均匀感知策略的 MLC 闪存最小和译码方法, 该方法是对 MLC 相邻阈值电压分布重叠区间进行均匀划分, 而不采用均匀感知策略中将每个 MLC 状态的阈值电压区间的均匀划分方法. 在相同的感知精度下, 相比于均匀感知策略, 非均匀感知策略能够提高 LLR 的准确度, 进而能够在 LDPC 码最小和译码过程中传递更多的有效信息, 提高译码器的译码性能.

### 1 MLC 型 NAND 闪存

NAND 闪存的最小存储单元是带浮栅 (Floating Gate) 的 MOS 晶体管. 其中浮栅被氧化绝缘层隔离, 电荷注入其中可以长期稳定保存 (如图 1 所示). 浮栅中电荷数量决定闪存单元的阈值电压, 不同的阈值电压可以映射为不同的状态, 从而表示不同的数据.

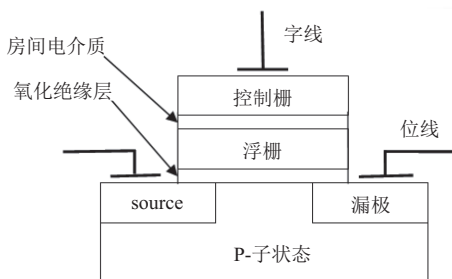


图 1 闪存单元基本结构

MLC 型 NAND 闪存通过一个浮栅单元存储 4 个不同电位表示 2 比特数据, 提高 NAND 闪存的数据存储密度. MLC 型 NAND 闪存使用标准的格雷码来映射闪存单元中的四个状态 ( $s_0 = 11, s_1 = 01, s_2 = 00, s_3 = 10$ ), 相邻两个状态仅有一位二进制数不同, 能够降低原始

误比特率 (Raw Bit Error Rate, RBER). 单元中第  $i$  个比特表示为  $b_i (i \in \{0, 1\})$ ,  $b_0$  称为最低有效位 (Least Significant Bit, LSB),  $b_1$  称为最高有效位 (Most Significant Bit, MSB), 其中  $s_0 = 11$  表示擦除状态 (Erase State),  $s_1 = 01, s_2 = 00$  和  $s_3 = 10$  分别表示三个编程状态 (Program State)<sup>[3]</sup>.

#### 1.1 MLC 阈值电压模型的建立

MLC 闪存芯片在擦除操作 (将浮栅中的电子移除) 之后闪存单元的阈值电压可近似地使用一个高斯分布来表示. 因此使用公式 (1) 来表示 MLC 闪存单元擦除状态的阈值电压分布<sup>[8]</sup>:

$$p_e(x) = p_{s_0}(x) = \frac{1}{\sigma_e \sqrt{2\pi}} \exp\left\{-\frac{(x-\mu_e)^2}{2\sigma_e^2}\right\} \quad (1)$$

其中,  $\mu_e$  和  $\sigma_e$  是擦除状态概率的均值和标准方差.

随着闪存封装尺寸的减小 (65 nm 及以下), 编程操作 (向浮栅充电至不同的电位) 使 MLC 闪存单元阈值电压增加, 其数学模型  $p_p(x) \in \{p_{s_1}(x), p_{s_2}(x), p_{s_3}(x)\}$  可近似为高斯分布, 如公式 (2) 所示<sup>[8]</sup>:

$$p_p(x) = p_{s_1|s_2|s_3}(x) = \frac{1}{\sigma_p \sqrt{2\pi}} \exp\left\{-\frac{(x-\mu_p)^2}{2\sigma_p^2}\right\} \quad (2)$$

其中,  $\mu_p$  和  $\sigma_p$  是编程状态概率的均值和标准方差,  $\mu_{s_p} \in \{\mu_{s_1}, \mu_{s_2}, \mu_{s_3}\}$ . 由于擦除状态的电压分布比编程状态更宽, 所以  $\sigma_p < \sigma_e$ .

MLC 阈值电压模型参数设置为: 擦除状态阈值电压分布概率密度函数  $p_{s_0}(x)$  的均值  $\mu_e = 1.4$ , 标准差  $\sigma_e = 0.35$ , 三个编程状态的阈值电压分布概率密度函数  $p_{s_1|s_2|s_3}(x)$  的标准差  $\sigma_p = 0.1$ , 均值  $\mu_{s_1} = 2.7, \mu_{s_2} = 3.3, \mu_{s_3} = 4.0$ . 通过蒙特卡罗统计方法可得理想状态的阈值电压统计直方图 (如图 2 所示)<sup>[8]</sup>.

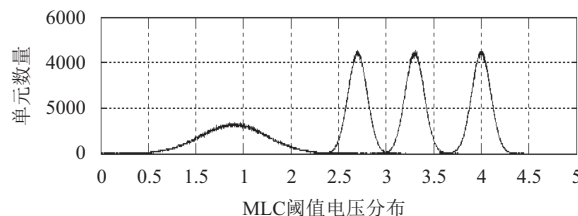


图 2 理想情况下的 MLC 阈值电压统计直方图

#### 1.2 单元间干扰噪声模型的建立

MLC 闪存由于单元间存在寄生耦合电容效应, 所以当 MLC 单元经过编程操作增加阈值电压之后, 这种

电压的增量会对其邻近 MLC 单元的阈值电压产生影响, 这种影响称之为单元间干扰<sup>[9]</sup>(如图 3 所示). 目前, CCI 噪声已经成为影响 MLC 闪存可靠性的主要噪声源. CCI 噪声影响大小  $F$  可用公式 (3) 计算<sup>[3]</sup>:

$$F = \sum_k (\Delta V^{(k)} \cdot \gamma^{(k)}) \quad (3)$$

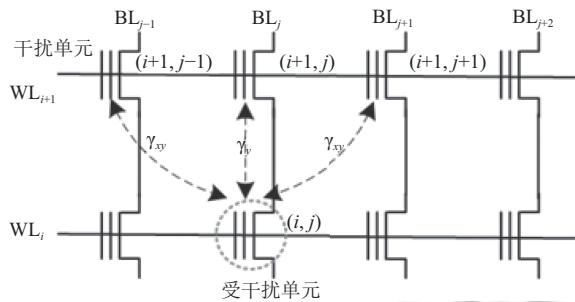


图 3 CCI 干扰示意图

其中,  $\Delta V^{(k)}$  表示编程操作使 MLC 阈值电压的增量,  $\gamma^{(k)}$  表示电容耦合系数. 用耦合强度因子  $s$  表示单元间干扰的强弱. 垂直方向电容耦合系数  $\gamma_y = 0.08s$ , 对角线方向的电容耦合系数  $\gamma_{xy} = 0.006s$ . 通过蒙特卡罗统计模拟方法可得 CCI 干扰后 ( $s = 1.5$ ) 的阈值电压统计直方图 (如图 4 所示).

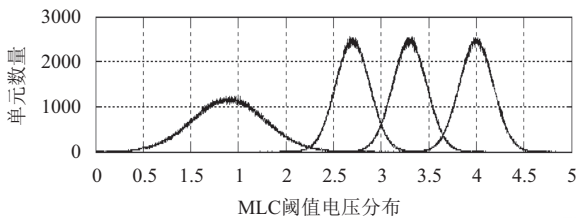


图 4 CCI 噪声干扰后的 MLC 阈值电压统计直方图

由图 4 分析可得, MLC 闪存存在加入 CCI 噪声后, MLC 闪存单元阈值电压发生波动, 相邻的阈值电压分布出现重叠区域, 位于此区域的 MLC 单元在判决时出错概率较高, 进而导致错误读取存储的数据.

## 2 MLC 闪存的最小和译码算法

### 2.1 MLC 阈值电压的均匀感知和非均匀感知策略

读取 MLC 闪存中存储的信息必须借助阈值电压感知才能得到. 感知方法是通过设定参考电压将每个 MLC 状态的阈值电压区间进行划分 (如图 5 所示), 将参考电压从小至大加载到被感知单元的控制栅, 根据控制栅的导通性来判断被感知单元的阈值电压是否落

入当前参考电压的区间内, 记为  $[R_l, R_r]$ , 因此, 感知得到的 MLC 阈值电压不是精确值而是估计值, 即  $V_{th}$  满足  $(R_l \leq V_{th} < R_r)$ . MLC 闪存单元存储的信息通过感知其阈值电压  $V_{th}$  之后, 经过公式 (4) 和 (5) 计算得到  $b_i (i \in \{0, 1\})$  对应的 LLR 值, 参考电压的选取方法将影响着 LLR 值的准确度<sup>[3]</sup>. 通常记感知精度为  $p (p > 2)$ , 那么对应的参考电压数量为  $2^p - 1$ , 单元阈值电压分布区间数量为  $2^p$ .

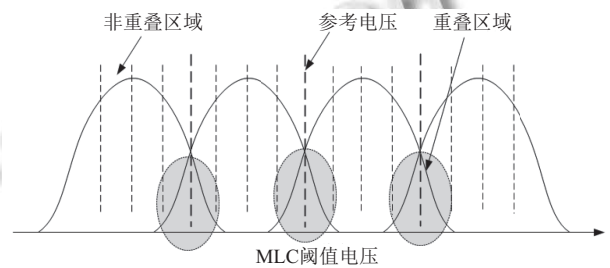


图 5 MLC 阈值电压均匀感知策略 ( $p = 4$ )

$$\begin{aligned} L_{b_0} &= \ln \frac{P(V_{th} \in [R_l, R_r] | b_0 = 1)}{P(V_{th} \in [R_l, R_r] | b_0 = 0)} \\ &= \ln \frac{\sum_{l \in \{0,1\}} P(V_{th} \in [R_l, R_r] | l)}{\sum_{l \in \{2,3\}} P(V_{th} \in [R_l, R_r] | l)} \\ &= \ln \left[ \frac{\int_{R_l}^{R_r} \{p_{s_0}(V_{th}) + p_{s_1}(V_{th})\} dV_{th}}{\int_{R_l}^{R_r} \{p_{s_2}(V_{th}) + p_{s_3}(V_{th})\} dV_{th}} \right] \end{aligned} \quad (4)$$

$$\begin{aligned} L_{b_1} &= \ln \frac{P(V_{th} \in [R_l, R_r] | b_1 = 1)}{P(V_{th} \in [R_l, R_r] | b_1 = 0)} \\ &= \ln \frac{\sum_{l \in \{0,3\}} P(V_{th} \in [R_l, R_r] | l)}{\sum_{l \in \{1,2\}} P(V_{th} \in [R_l, R_r] | l)} \\ &= \ln \left[ \frac{\int_{R_l}^{R_r} \{p_{s_0}(V_{th}) + p_{s_3}(V_{th})\} dV_{th}}{\int_{R_l}^{R_r} \{p_{s_1}(V_{th}) + p_{s_2}(V_{th})\} dV_{th}} \right] \end{aligned} \quad (5)$$

MLC 阈值电压的均匀感知策略 (Uniform Sensing Strategy) 是对每个状态的阈值电压分布区间进行均匀分割进而得到若干个参考电压区间, 图 5 为感知精度 ( $p = 4$ ) 的均匀划分.

非均匀感知策略 (Non-Uniform Sensing Strategy) 动机是若阈值电压处于重叠区域的 MLC 单元由于判决时不确定性高, 因而需要较高的感知精度, 而处于非重叠区域只需较低感知精度就可保证感知的可靠性. 非均匀感知策略的方法是在相邻阈值电压分布的重叠区内, 将该区间划分为多个相等的参考区间 (如图 6 所示). 非均匀感知策略可以在保持总体感知精度不变的同时, 提高感知数据的精确度.

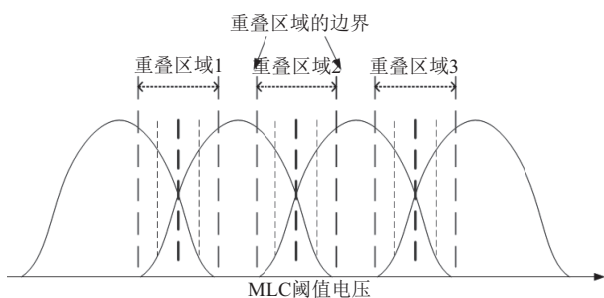


图6 MLC 阈值电压非均匀感知策略( $p = 4$ )

对于非均匀感知策略需要计算 MLC 阈值电压相邻状态重叠区域的边界. 记第  $k$  个( $k \in \{1, 2, 3\}$ )重叠区域边界为 $[B_l^{(k)}, B_r^{(k)}]$ , 引入概率比值系数  $R$ , 公式 (7) 表示重叠区域边界与系数之间的关系<sup>[3]</sup>:

$$\frac{p_{s_k}(B_l^{(k)})}{p_{s_{k+1}}(B_l^{(k)})} = \frac{p_{s_{k+1}}(B_r^{(k)})}{p_{s_k}(B_r^{(k)})} = R \quad (6)$$

为了验证非均匀感知策略的有效性, 在 MLC 闪存信道下对比均匀感知策略和非均匀感知策略的感知性能. 仿真参数设置为: MLC 闪存模型和 CCI 噪声模型与 1.1 和 1.2 节相同, 感知精度  $p$  分别使用 3, 4, 5 和 6, 概率比值系数  $R=512$  和单元间耦合因子  $s=1.2$  下, 统计两种感知策略下 RBER.

由图 7 可以看出, 在 MLC 闪存单元的阈值电压感知策略中, 使用非均匀感知策略比使用均匀感知策略能够获得更低的 RBER, 感知精度为 4 的非均匀感知策略下的 RBER 基本等同于感知精度为 5 的均匀感知策略下的 RBER, 减小了感知延迟.

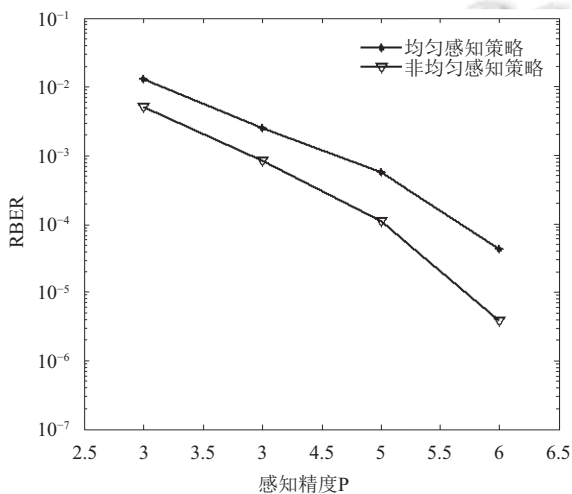


图7 不同感知精度下两种感知策略的性能对比图

## 2.2 MLC 闪存的最小和译码算法

和积译码算法是 LDPC 码的软判决译码算法, 具有较好的译码性能, 但计算复杂度高, 译码时延较大. 最小和译码算法通过简化和积译码算法中校验节点消息更新处理过程, 降低译码算法的计算复杂度, 同时又可以达到同和积译码算法近似的译码效果<sup>[10]</sup>. 本文采用最小和译码算法作为 MLC 闪存的纠错码 (算法 1), 既可保证纠错性能, 又具有较低的译码复杂度, 适用于 MLC 闪存系统的应用.

算法1. MLC 闪存信道下的最小和译码算法

- $r_i$ : MLC 闪存信道初始 LLR;
  - $M_{ji}$ : 变量节点  $i$  向校验节点  $j$  传递的消息;
  - $E_{ji}$ : 校验节点  $j$  向变量节点  $i$  传递的消息 (外部消息);
  - $L_i$ : 变量节点  $i$  来自 MLC 闪存信道初始  $r_i$  和相邻校验节点 LLR 之和;
1. 根据 2.1 节两种感知方法对 MLC 闪存阈值电压进行感知精度为  $p$  的感知, 得到 MLC 的阈值电压  $V_{th}$ .
  2. 通过公式 (4) 和公式 (5) 计算  $b_0$  和  $b_1$  对应 LLR 值  $r_i$ .
  3. 初始化  $M_{ji} = r_i$ .
  4. 校验节点消息更新
 
$$E_{ji} = \prod_{i' \in B_j, i' \neq i} \text{sgn}(M_{j,i'}) \cdot \min_{i' \in B_j, i' \neq i} |M_{j,i'}|$$
  5. 校验节点消息更新
 
$$M_{ji} = \sum_{j' \in A_i, j' \neq j} E_{j',i} + r_i$$
  6. 硬判决处理
 
$$L_i = \sum_{j \in A_i} E_{ji} + r_i$$

$$z_i = \begin{cases} 1, & L_i > 0 \\ 0, & L_i \leq 0 \end{cases}$$
  7. 如果校验方程都满足条件, 则译码成功; 如果达到最大的迭代次数, 则译码失败, 否则返回至步骤 4.

## 3 仿真实验及分析

为了验证这两种感知策略对最小和算法译码性能的影响, 仿真实验使用码率为 0.95(34520, 32794)QC-LDPC 码, 列重为 4, 环长为 6, 该码避免了迭代译码过程中出现的短环, 可以提高迭代译码的性能. 设最大迭代次数为 20. 仿真使用的单元间干扰耦合因子  $s \in [0.6, 2]$ , 感知精度  $p$  取值为 3, 4 和 5, 在 MLC 阈值电压感知过程中分别使用均匀感知策略 (Uniform) 和非均匀感知 (Non-uniform) 策略.

根据图 8 的仿真结果可以得出, 在 MLC 闪存模型及相同的 CCI 噪声作用下, 与均匀感知策略下的最小和译码算法相比, 基于非均匀感知策略的最小和译码算法能够为 MLC 闪存模型提供更好的纠错性能. 随着 MLC 阈值电压感知精度的提高, 均匀感知策略和非均匀感知策略下的最小和码算法译码性能都相应提高,

说明感知精度的增加有助于提高 LLR 值计算的准确性, 进而提高 LDPC 码的译码性能。

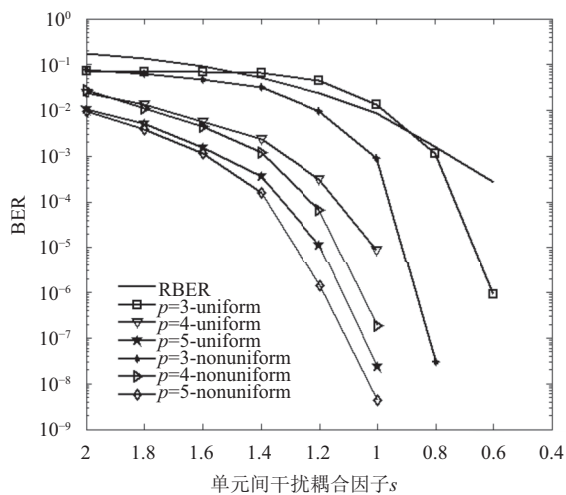


图8 均匀与非均匀感知策略下最小和译码的性能图

#### 4 结语

在深入分析 MLC 闪存模型和 CCI 噪声的基础上, 由于 MLC 阈值电压均匀感知策略得到不精确的 LLR 值会影响 LDPC 码最小和译码算法译码性能, 因此本文提出一种可以提高 LLR 计算精度的非均匀阈值电压感知策略, 并将该策略应用到 MLC 闪存模型中, 通过实验仿真结果表明在相同的感知精度下, 非均匀感知策略比均匀感知策略能够获得更低的原始比特错误率, 而且能提升最小和译码性能, 从而为 MLC 闪存提供了更高的可靠性保证。

#### 参考文献

- 1 Takeuchi K. NAND flash application and solution. IEEE Solid-State Circuits Magazine, 2013, 5(4): 34–40. [doi: 10.1109/MSSC.2013.2278087]
- 2 Klein D. The history of semiconductor memory: From

magnetic tape to NAND flash memory. IEEE Solid-State Circuits Magazine, 2016, 8(2): 16–22. [doi: 10.1109/MSSC.2016.2548422]

- 3 Dong GQ, Xie ND, Zhang T. On the use of soft-decision error-correction codes in NAND flash memory. IEEE Transactions on Circuits and Systems I: Regular Papers, 2011, 58(2): 429–439. [doi: 10.1109/TCSI.2010.2071990]
- 4 Sala F, Immink KAS, Dolecek L. Error control schemes for modern flash memories: Solutions for flash deficiencies. IEEE Consumer Electronics Magazine, 2015, 4(1): 66–73. [doi: 10.1109/MCE.2014.2360965]
- 5 Micheloni R, Marelli A, Ravasio R. Error Correction Codes for Non-Volatile Memories. Springer Science & Business Media, 2008: 85–101.
- 6 Dong GQ, Li S, Zhang T. Using data postcompensation and predistortion to tolerate cell-to-cell interference in MLC NAND flash memory. IEEE Transactions on Circuits and Systems I: Regular Papers, 2010, 57(10): 2718–2728. [doi: 10.1109/TCSI.2010.2046966]
- 7 Wang JD, Dong GQ, Courtade T, *et al.* LDPC decoding with limited-precision soft information in flash memories. arXiv: 1210.0149, 2012: 652–657.
- 8 Aslam CA, Guan YL, Cai K. Detector for MLC NAND flash memory using neighbor-a-priori information. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(9): 2827–2836. [doi: 10.1109/TVLSI.2016.2523759]
- 9 Park KT, Kang M, Kim D, *et al.* A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash memories. IEEE Journal of Solid-State Circuits, 2008, 43(4): 919–928. [doi: 10.1109/JSSC.2008.917558]
- 10 陈正康, 张会生, 李立欣, 等. LDPC 码最小和译码算法的整数量化. 系统工程与电子技术, 2015, 37(10): 2371–2375. [doi: 10.3969/j.issn.1001506X.2015.10.28]