

基于 PCIE 点对点传输的 FPGA 系统^①

赵会彬, 马卫平, 梁晓英

(许继电气股份有限公司, 许昌 461000)

摘 要: 本文分析了当前智能变电站系统点对点数据传输互联并行总线的局限性, 提出采用 PCI Express 高速串行接口技术, 应用 Spartan-6 XC6SLX45T 架构 FPGA, 实现点对点以太网数据传输的设计方案. 此方案充分利用了 FPGA 的并行数据处理的特性及丰富的 IP 资源, 设计实现了多路以太网点对点数据的高带宽和高可靠性传输, 极大的提升了智能变电站系统的性能.

关键词: 智能变电站; 点对点; TLP; PCIE; FPGA

FPGA System of Point-to-Point Transmission Based on PCIE

ZHAO Hui-Bin, MA Wei-Ping, LIANG Xiao-Ying

(XJ ELECTRICCO. Ltd, Xuchang 461000, China)

Abstract: This paper analyzes the limitations of point-to-point data transmission interconnected parallel bus in the current smart substation system. PCI Express high-speed serial interface technology has been proposed to achieve point-to-point Ethernet data transmission. The design applies the architecture of Spartan-6 XC6SLX45T FPGA, and takes full advantage of FPGA parallel data processing features and extensive IP resource, to achieve a high-bandwidth and high reliability of multi-channel Ethernet point-to-point data transmission. It is greatly enhances the smart substation system performance.

Key words: smart substation; point-to-point; TLP; PCIE; FPGA

随着智能变电站^[1]系统的不断发展, 点对点以太网采样数据传输对总线带宽、可靠性和灵活性的要求不断提升, 传统的依靠并行总线互连方式采集以太网数据已经无法适应高速数据传输的要求, 其性能已经成为制约数据传输的瓶颈, 逐步被高速的串行总线所取代. 高速串行接口是现代系统互联的核心, 其中 PCI Express 正是满足高带宽以及高可靠性应运而生高速串行互联标准之一. 近年来, 伴随着 FPGA 的高速发展, 其规模和性能都得到了极大的提升, 其内嵌的丰富 IP 核资源, 为设计提供了方便. 本文研究了 Xilinx 公司的 Spartan-6 系列的 XC6SLX45T 芯片, 该芯片在其内部集成了一个支持 Endpoint 的 PCIE 硬核, 此 IP 核数据接口宽度为 32-bit, 支持 1X 传输模式和遵循 PCIE 技术规范 V1.1 版本, 传输数据率为

2.5Gb/s^[2].

1 PCIE总线概述

PCI Express 总线是第三代串行 I/O 互连标准, 跟 PCI 总线不同, PCIE 总线的显著特征是使用端到端的连接方式, 即在单条 PCIE 链路的两端只能各连接一个设备, 同时这两个设备互为数据发送端和数据接收端. PCIE 总线链路可分为三个层次, 依次为: 物理层、数据链路层和事务层^[3]. 其中事务层是 PCIE 架构的顶层, 主要功能是接受 PCIE 设备核心层的数据请求, 并将其转换为总线事务. 当处理器访问 PCIE 设备时, 所传输的数据首先通过事务层被封装成一个或者多个 TLP, 之后才能通过 PCIE 总线的各个层次发送出去. TLP 的基本格式如下所示:

^① 收稿时间:2013-08-26;收到修改稿时间:2013-09-23



图 1 TLP 的格式

一个 TLP 由头标、数据负载和摘要组成, TLP 头是 TLP 最重要的标志, 不同的 TLP 其头的定义并不相同. TLP 头包含了当前 TLP 的总线事务类型、路由信息等一系列信息.

2 FPGA系统方案

本文所设计的总体方案是, 首先由 FPGA 内部做的多路以太网 MAC 采集数据, 然后通过高速 PCIE 总线将 FPGA 采样得到的点对点的数据传输给 Power PC 处理器, 系统设计如图 2 所示, 主要由数据处理模块, 接收模块和和发送模块组成. 如果 MAC 接受到得数据, 先将数据存储到接收缓冲区, 然后以 DMA[4]的方式通过 PCIE 链路直接写到 PowerPC 处理器的内存空间; 如果 PowerPC 有以太网数据要发送, 也可以通过 PCIE 先存储到发送缓冲区, 然后再由 MAC 将数据发送出去. 发送模块和接收模块分别通过 AXI 接口, 完成 TLP 的发送和接收.

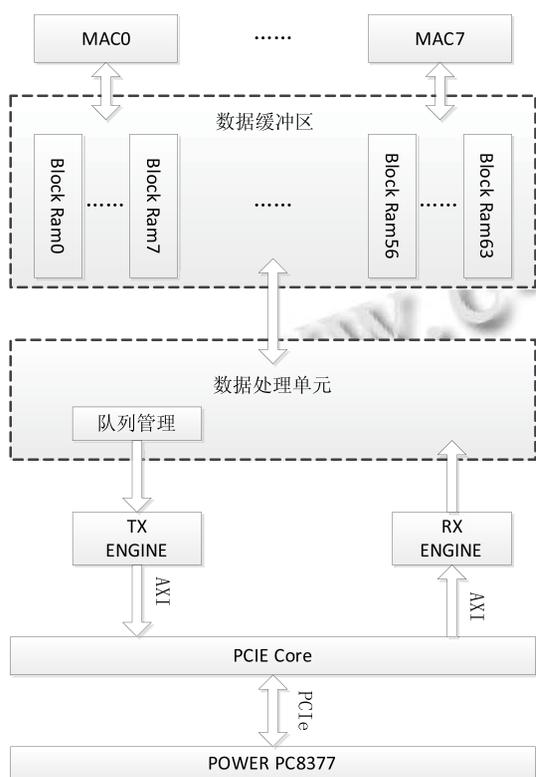


图 2 系统方案框图

2.1 数据处理单元设计

本系统中因为连接了多个 MAC 模块, 有可能会存在多帧以太网报文同时到来的情况, 所以存在一帧网络报文没有发送完之前可能已经有第二帧报文到来, 并且由于点对点以太网数据包的大小不同, 因此必须对接受到的网络数据报文进行队列管理, 以避免网络数据报文丢失情况的发生. 该模块采用队列管理模式处理将接收到的点对点数据, 依次触发 TLP 发送到 PCIE 链路; 同时还要响应 TLP 进站请求, 将进站数据写入存储器.

使用 Spartan-6 丰富的 block ram 资源, 实现以数据的接收缓冲区和发送缓冲区, 为 MAC 和 PCIE 提供数据交互. 设计中将 Block ram 的 A 端口分配给 PCIE, 所有的 ram 的 A 端口统一编址映射给 PCIE 地址; B 端口分配给 MAC, 每个 MAC 分别独立编址. 一个 MAC 占用了 8 个 2KB 大小的 block ram, 其中 4 个 ram 用来缓存 MAC 接收的数据, 接收描述符占用一个 ram, 发送描述符和发送数据以及 MAC 初始化信息储存各分配一个 ram, 整个设计共了 64 个 block ram.

2.2 接收模块设计

当 PowerPC 向 MAC 发送数据时, 通过 AXI 接口接收模块与 PCIE 核的事务接收接口相连接, 该模块接收 PowerPC 发送的 TLP 报文, 并将解析的数据传送给数据处理模块, 由数据处理模块完成相应的操作.

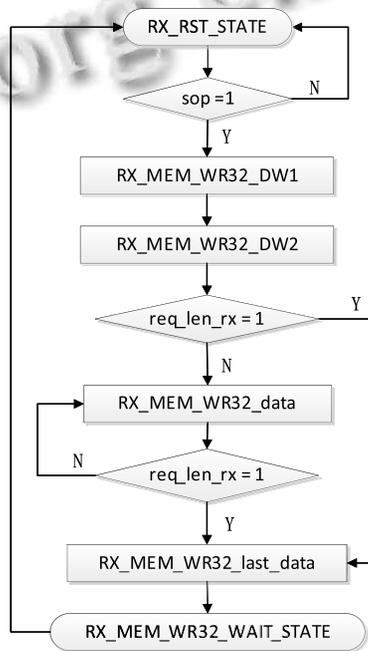


图 3 PCIE 接收状态机转换图

如上图所示, 所设计的 TLP 接收模块状态机共有以下几个状态:

RX_RST_STATE 状态: 接收空闲态, 等待检测到 TLP 起始标志 sop=1 时, 从 AXI 数据总线上接收头标的第 1 个双字, 并解析出该 TLP 的 FMT、TYPE 以及数据负载长度 req_len_rx 等信息, 然后跳到下一个状态;

RX_MEM_WR32_DW1 状态: 接收头标的第 2 个双字, 并解析出 Request ID、Tag 和 BE 字段;

RX_MEM_WR32_DW2 状态: 接受头标的第 3 个双字, 得到 TLP 存储器写操作的起始地址, 当数据负载长度 req_len_rx=1 跳到 RX_MEM_WR32_last_data, 否则跳到 RX_MEM_WR32_data;

RX_MEM_WR32_data 状态: 接收该 TLP 的有效数据, 每接收一个 32-bit 数据, req_len_rx 减 1, 直到 req_len_rx=1, 跳入下一个状态;

RX_MEM_WR32_last_data 状态: 接收该 TLP 的最后一个数据, 然后跳入下一个状态;

RX_MEM_WR32_WAIT_STATE 状态: 一个 TLP 接收完成, 返回空闲态, 准备接受下一个 TLP.

2.3 发送模块设计

发送模块与 PCIE 核的事务发送接口相连, 主要功能是生成 TLP 存储器写报文, 将点对点数据通过 PCIE 链路传输给 PowerPC 处理器. 该模块会首先接收到数据发送模块产生的 TLP 写请求 req_wr_i, 然后自动生成 TLP 的标头, 再将点对点的数据放到 TLP 的数据负

载里面, 生成一个完整的 TLP 写报文. 最终通过 TLP 写操作, 直接将要传输的数据写到 PowerPC 内存里面, 以提高 PowerPC 对数据的处理效率.

该模块用于相应来自用户层的发送请求, 将要发送的数据组成 TLP, 并按照约定好的时序将其保存到发送缓冲器, 对 TLP 的组包操作使用状态机完成, 如上图所示, 所设计的 TLP 发送引擎共有以下几个状态:

TX_RST_STATE 状态: 发送引擎的初始状态, 实时检测 TLP 写请求, 当检测到 req_wr_i=1 时, 同时填充 FMT 和 TYPE 字段等头标信息作为发送的第一个 DW 数据;

TX_MEM_WR32_CPLD_DW1 状态: 填充 ID 及 tag 等字段, 作为 TLP 头标的第二个双字;

TX_MEM_WR32_CPLD_DW2 状态: 发送头标的第三个双字, 并判定要发送的数据长度 req_len_tx 是否为 1, 为 1 则跳转到 PIO_32_TX_CPLD_last_data 状态, 否则跳转到 PIO_32_TX_CPLD_data 状态;

TX_MEM_WR32_CPLD_data 状态: 发送点对点数据状态, 每发送一个数据 req_len_tx 减 1, 直至 req_len_tx 为 1, 要发送最后一个数据则进入 TX_MEM_WR32_CPLD_last_data 状态;

TX_MEM_WR32_CPLD_last_data 状态: 在此状态内发送点对点数据的最后一个数据, 同时置 s_axis_tx_tlast 有效, 告知 PCIE 核的事务发送接口发送的是最后一个数据, TLP 发送即将结束;

TX_MEM_WR32_WAIT_STATE 状态: 一个 TLP 报文发送完成, 返回初始状态.

3 数据分析

在新一代智能变电站的项目中, SV 点对点数据采集采用本方案实现. 其中共有 8 路以太网点对点数据, 每路实现 80 点采样, 即每路 4000 帧/秒 SV 数据, 使用 DMA 方式通过 PCIE 链路实时将采集到的 SV 数据发送到 PowerPC MPC8377 处理器的内存空间. 由于 SV 数据的采样间隔是 250us, 所以必须在一个采样周期内完成数据传输, 使用本设计大约需要 50us 可实现对 8 以太网数据传输, 完全满足要求.

使用逻辑分析仪 ChipScope 分别对接收模块和发送模块时序验证, 以下是得到的波形图:

图 5 为接收模块接收 TLP 时序图, 在 sop 为高电平时触发接收 TLP 数据, 并解析出该 TLP 的类型

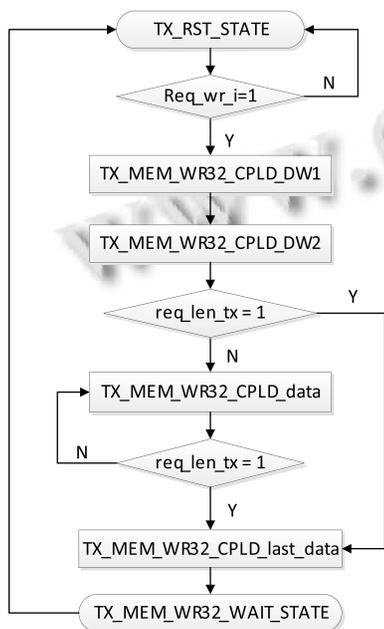


图 4 PCIE 发送状态机转换图

tlp_type=1000000b 为存储器写, 数据负载长度为 10H, 并生成 16 个写使能脉冲 wr_en_o 将数据存储到 block ram, 在检测到 m_axis_rx_tlast 高电平时, 该 TLP 接收结束. 图 6 为发送模块发送 TLP 时序图, 首先数据处理模块将 TLP 发送请求 req_tx_tlp 置有效, 触发 req_wr_i 生成一个高脉冲; 然后发送模块开始发送生成填充该 TLP 头标, 接着依次将要发送 TLP 有效数据, 在发送即将结束时, s_axis_tx_tlast 产生一个高脉冲, 告之 PCIE 核本帧报文发送完成.

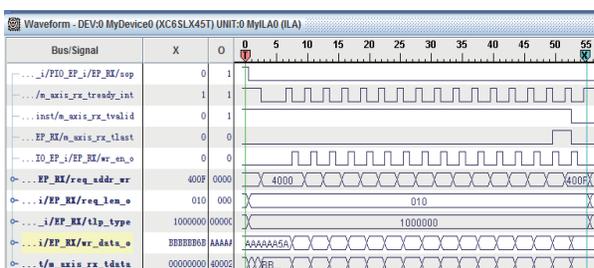


图 5 TLP 接收时序图

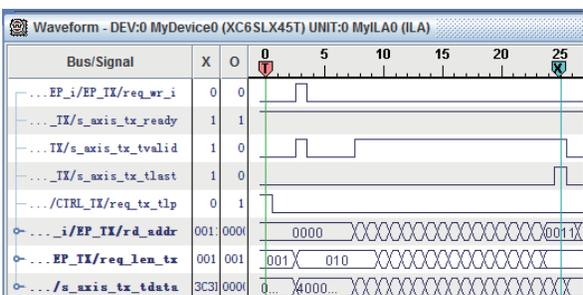


图 6 TLP 发送时序图

(上接第 227 页)

充分的体现. 本文提出的基于非接触 CPU 卡的排污许可系统安全体系, 实现了从排污许可证系统到企业端的排污总量计量设备的数据交互安全以及非接触 CPU 卡与排污许可证系统、排污总量计量设备的交互安全, 确保了环保敏感数据的准确性、安全性、保密性, 符合环保应用对信息安全的需求, 为政府节能减排提供了强有力的技术支撑.

参考文献

1 哈力曼·哈麦拉,田义文.我国污染物总量控制制度研究.

4 结语

本文应用 PCI Express 技术, 使用 FPGA 设计实现了一种点对点以太网数据传输的解决方案, 并充分使用 spartan-6 架构 FPGA 内部资源, 降低了系统开发的难度. 此方案已广泛用于实际应用中, 提供了高带宽及高可靠性数据传输, 解决了传统使用并行总线数据吞吐量不足的问题, 具有极大提升了智能变电站数据传输的性能.

参考文献

1 Q/GDW 383.智能变电站技术导则.北京:国家电网公司, 2009.
 2 Xilinx. Spartan-6 FPGA Integrated Endpoint Block for PCI Express Pre-Production User Guide. 2010.
 3 王齐.PCI Express 体系结构导读.北京:机械工业出版社, 2010.3:101-228.
 4 王伟,傅其祥.基于 PCIe 总线的超高速信号采集卡的设计.电子设计工程,2010,18(5):43-45.

我国污染物总量控制制度研究.安徽农业科学, 2013,41(5):2237-2238.
 2 宋国君,韩冬梅,王军霞.中国水排污许可证制度的定位及改革建议.环境科学研究,2012,25(9):1071-1076.
 3 孙俊峰.浅谈中国排污许可证制度.环境科学导刊,2011,30(5).
 4 闫海超,张俊,李成思.小小 IC 卡卡住排污量.中国环境报,2011-04-04(003).
 5 马利艳.水污染物排放许可证制度探讨.学理论,2012, 14:132-02.