

# 面向 EEPROM 应用的 SPI 主控制器设计与实现<sup>①</sup>

赵海婷, 贺占庄

(西安微电子技术研究所, 西安 710065)

**摘要:** 串行同步总线 SPI 提供了微处理器和其他外设之间的接口标准。但许多微处理器或微控制器中没有 SPI 接口, 造成了数据通信的不便, 解决的办法是将 SPI 核集成到芯片中。鉴于此, 在研究 SPI 总线协议的基础上, 以外设 EEPROM 初始化外围部件互连总线 PCI 中的配置寄存器为例, 介绍了集成在芯片中的 SPI 主控制器访问外设 EEPROM 的具体过程, 给出了设计逻辑框图和各个模块的实现及电路综合情况。在 modelsim 中完成功能仿真, 并进行 FPGA 验证, 结果正确, 达到了设计的预期目的。

**关键词:** SPI 总线; PCI 控制器; Wishbone 总线; EEPROM; FPGA

## Design and Implementation of SPI Controller for EEPROM Application

ZHAO Hai-Ting, HE Zhan-Zhuang

(Xi'an Institute of Microelectronics, Xi'an 710065, China)

**Abstract:** Synchronous SPI serial bus provides interface standards between microprocessor and other peripherals. But many microprocessor or microcontroller have not SPI interface, resulting in data communications inconvenience, the solution to integrate SPI core into the chip. In view of this, basing of researching SPI bus protocol, the external EEPROM initializes PCI configuration registers, for example, the theory and the way of implementing an SPI controller accessing EEPROM with integrated in the chip are introduced, and the logical block diagram and implementation of each modules and circuit synthesis are presented. The results of modelsim simulation and FPGA verification are correct and meet the design intended purpose.

**Keywords:** SPI bus; PCI controller; wishbone bus; EEPROM; FPGA

SPI (Serial Peripheral interface, 串行外围设备接口)是由 Motorola 公司推出的同步串行数据接口。与别的串行总线相比, 具有结构简单(在芯片引脚上占有四根线)、支持全双工、速度快、通信可靠等优点, 可用于与其他外设或单片机通信<sup>[1,2]</sup>。这里的外设是串行 EEPROM(电可擦可编程只读存储器)。EEPROM 存储了 PCI 配置寄存器中的重要信息, 通过四根传输线来完成外部 EEPROM 初始化 PCI 配置空间, 符合 SPI 总线的特点。但 PCI 控制器本身不具有 SPI 接口, 给数据传输带来不便。这时通过将 SPI 核集成到芯片中完成 PCI 控制器对 EEPROM 的读写操作, 实现 PCI 即插即用的特点。由于 SPI 简单易用和使用少量 FPGA

资源, 已被广泛使用。

## 1 加载 EEPROM 工作原理

### 1.1 SPI 总线协议

串行 SPI 总线以主从模式工作, 提供了主设备和从设备之间的接口。一个 SPI 通信系统包括一个主设备和一个或多个从设备, 主设备启动一个从设备进行同步通信, 从而完成数据交换<sup>[3]</sup>。

SPI 总线主要使用的信号有: 串行时钟信号 (SCLK, serial clock)、数据输入信号 (MISO, master in, slave out)、数据输出信号 (MOSI, master out, slave in) 和片选信号 (SS\_N, slave select), 通常也被称为

① 收稿时间:2011-07-13;收到修改稿时间:2011-08-19

四线串行接口。其中, 串行时钟只能由主设备产生, 片选决定了与主设备通信的从设备数量, 如果没有片选信号, 则只有一个从设备。通信时, 在时钟的控制下, 主从设备的两个双向移位寄存器进行数据交换, 经过 8 个时钟周期之后, 完成了一个字节的传输。

## 1.2 串行 EEPROM 初始化

外部 EEPROM 存储了 PCI 配置空间的重要信息, 其初始化过程中必须设置的信息包括供应商 ID、设备 ID、中断以及本地空间的范围<sup>[4]</sup>。

复位结束后, PCI 控制器通过 SPI 总线开始检测外部 EEPROM, 如果没有外部 EEPROM (未检测到起始位 1'b0) 或 EEPROM 为空 (检测到起始位, 但接收到的前 48 位数据为全 1) 时, 将接收到的数据丢弃, 并使用配置空间寄存器的默认设置进入工作状态。如果检测到外部 EEPROM 存在且非空时, SPI 接口把从 EEPROM 中读取信息加载到 PCI 配置空间中。信息的读取过程主要通过 SPI 连续读来实现, 即 SPI 主控制器仅发送一条读指令, 外部 EEPROM 便从起始地址开始的区域依次将指定位数的数据串行移出, 直到检测到 SPI 总线片选信号无效后, 结束读操作。

## 2 SPI 主控制器设计与实现

### 2.1 顶层设计

根据 SPI 接口所要实现的功能, 将 FPGA 片内逻辑分为两部分: Wishbone 总线接口和 SPI 控制器与外设 EEPROM 接口。SPI 主控制器框架如图 1 所示。

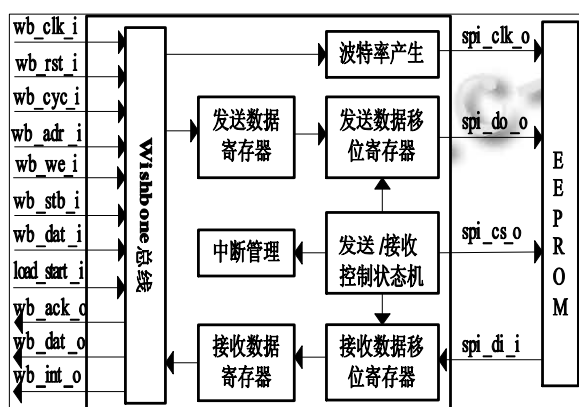


图 1 SPI 主控制器框架图

在内部 (图左侧) 包括一个标准的 Wishbone 从总线<sup>[5]</sup>, 用来向 SPI 控制器传递参数, 进行寄存器控制。从 Wishbone 总线看, SPI 控制器呈现出一组可以

寻址并能读写的寄存器。通过这些寄存器, PCI 控制器能够发送和接收外部 EEPROM 的数据和控制 SPI 的操作。在外部 (图右侧), 包括与外部 EEPROM 进行通信的四条接口信号线。

### 2.2 模块设计

SPI 主控制器的功能是根据数据加载控制逻辑, 产生相应的 SPI 总线控制信号, 包括时钟、片选、指令和数据的输出, 并等待外部 EEPROM 的响应。当 SPI 检测到 EEPROM 输入的有效起始位时, 以连续读的方式把从 EEPROM 中接收到的数据以 16 位形式存储, 同时完成串/并转换, 当指定位数的数据接收完成后通过中断标识通知上层逻辑将数据取走<sup>[6]</sup>。

SPI 主控制器包括 5 个模块, 分别是 Wishbone 总线接口模块、波特率产生模块、寄存器模块、中断管理模块、发送/接收控制状态机模块。

Wishbone 总线接口模块用于实现与外部处理器的数据交换, 包括串行时钟输入、寻址对象选择、应答控制、中断信号以及读、写数据选通等

波特率产生模块用于对系统时钟进行分频产生需要的 SPI 时钟, 并提供给移位寄存器对数据进行操作。设计中对 33MHz 的 Wishbone 总线时钟进行 32 分频, 产生约 1MHz 的 SPI 总线时钟。

寄存器模块包括两类: 数据寄存器和移位寄存器。数据寄存器包括只读的数据接收寄存器和只写的数据发送寄存器<sup>[6,7]</sup>。它们是两个单向的 16 位数据寄存器, 用来存放已接收和待发送的数据, 复位后的初始值均为 16'h0000。移位寄存器包括两个 16 位的发送移位寄存器和接收移位寄存器。它们并不映射到地址空间, 在同步时钟的上升沿或下降沿将数据按高位在前, 低位在后串行移入或移出 SPI 端口。

中断管理模块用于根据 SPI 控制器接收外部 EEPROM 的数据是否完成来产生或清除此中断。

发送/接收控制状态机模块主要根据 SPI 加载外部 EEPROM 功能设置, 产生 SPI 接口时序和片选信号, 完成数据的收发操作。图 2 给出实现此模块的状态机, 共五个状态。

- (1) IDLE: SPI 总线处于空闲状态。
- (2) START: 启动 SPI 控制器。
- (3) TRANS: 片选有效, 向外部 EEPROM 发送

指令和地址。

(4) CHECK: 根据外部 EEPROM 输入的有效起始位来判断其存在性。

(5) RECES: 外部 EEPROM 响应连续读操作, 传输指定位数的数据到 SPI 控制器中。

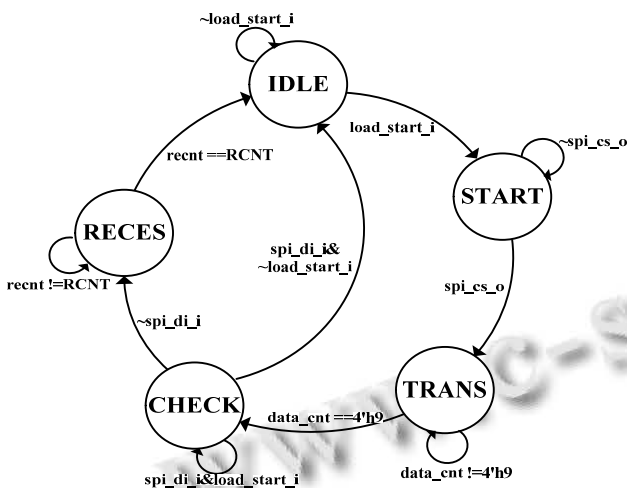


图 2 SPI 控制器数据收发操作状态机

SPI 控制器的初始状态为 IDLE 状态。当启动信号 load\_start\_i 到来时, SPI 控制器开始有效, 进入 START 状态; 片选信号 spi\_cs\_o 使能后, 选通外设 EEPROM, 进入 TRANS 状态; 当向 EEPROM 发送指令 3'b110 和起始地址 6'b000000 共 9 位 (data\_cnt==4'h9) 完成后, 进入 CHECK 状态; EEPROM 开始响应, 若 SPI 未检测到 EEPROM 通过 spi\_di\_i 发送来的有效起始位 1'b0, 则等待系统再次启动 SPI, 否则进入 IDLE 状态, 若 SPI 检测到有效起始位, 则进入 RECES 状态; 当从 EEPROM 接收到指定位数的数据 (recnt == RCNT) 后, 撤销片选, 进入 IDLE 状态, 等待下一次的操作。

### 2.3 综合实现

为了满足设计的功能和约束条件, 对其进行逻辑综合, 综合的同时也完成了对各个模块的优化, 同时达到了对整个系统的优化。此设计使用的目标器件是 Altera 公司的 Cyclone FPGA 芯片 EP1C12Q240I7<sup>[7]</sup>。得到的时序收敛情况如表 1, 从中看出控制器时序收敛。表 2 为设计最终占用的 FPGA 资源。

表 1 时序收敛情况

时钟名称	约束频率 (MHz)	估算频率 (MHz)	时间裕度(ns)	
			建立时间	保持时间
wb_clk_i	33	113.25	21.473	0.773

表 2 FPGA 资源占用表

资源	数量(个)
逻辑单元	71
IO 引脚	29

## 3 验证及结果分析

### 3.1 测试平台搭建

测试平台的作用是对设计产生特定的输入序列, 并观测输出响应是否与预期的一致。图 3 给出了通过 SPI 主控制器实现 PCI 和 EEPROM 通信的测试平台搭建图, 包括测试用例、时钟复位信号产生、总线功能模型 (BFM, Bus Function Model) 和各个测试模块。

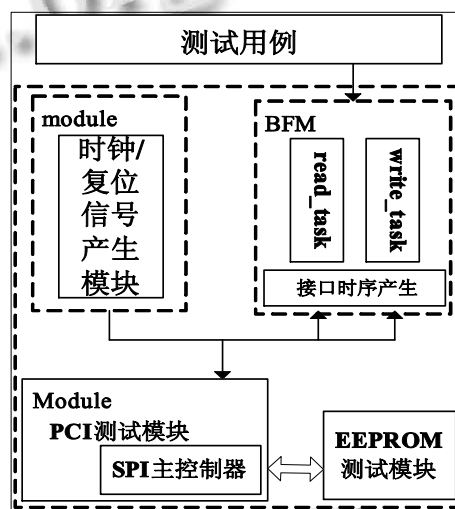


图 3 测试平台

其中 BFM 位于底层, 只负责屏蔽底层的接口时序。BFM 内部有两个用户定义的读写总线任务, 即 read\_task、write\_task, 将它们封装在一个 module 中, 供其他模块调用。测试用例作为顶层, 用来实例化测试模块、BFM 和提供一些基本激励。不同的测试用例测试不同的特性或边界条件, 不需要关心接口时序, 只需要根据功能需要调用读写任务即可<sup>[8]</sup>。

### 3.2 功能仿真

根据图 3 搭建的平台, 该设计采用 Verilog HDL 硬件描述语言实现<sup>[9]</sup>, 在 Modelsim6.5 中进行功能仿真, 结果如图 4(a)、4(b)、4(c)所示。

图 4(a)表示外部 EEPROM 不存在, 启动信号 load\_start\_i 高有效, 在片选有效期间, 通过 spi\_do\_o 线向外设 EEPROM 发送指令 3'b110 后, 数据线 spi\_di\_i 没有接收到有效起始位 1'b0, 一直为高电平。

图 4(b)表示 EEPROM 为空,即从数据线 spi\_di\_i 检测到 EEPROM 发送来的有效起始位 1'b0,但 wb\_dat\_o 接收到的前 48 位数据为全 1,每接收完成 16 位数据后中断信号 wb\_int\_o 有效。

图 4(c)表示 EEPROM 存在且不为空,实现了对 EEPROM 的连续读操作。所有的仿真波形显示数据读写结果正确,符合设计要求。

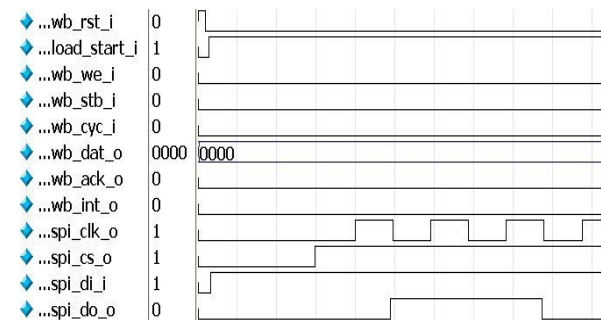


图 4 (a) EEPROM 不存在仿真波形图

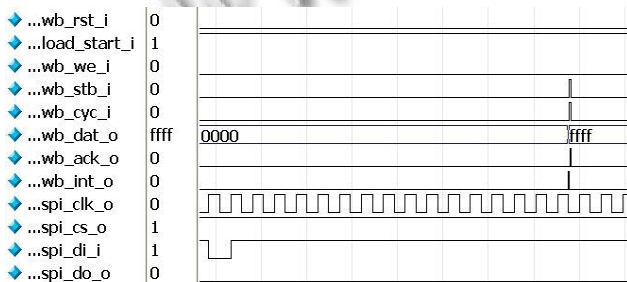


图 4 (b) EEPROM 存在但值为空仿真波形图

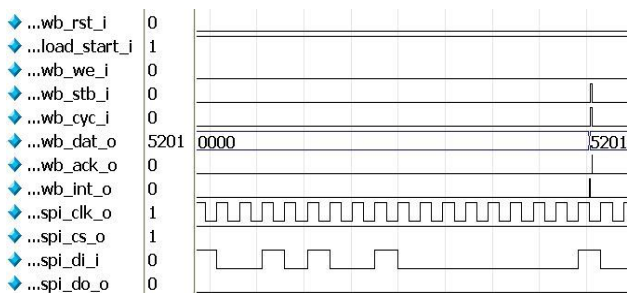


图 4 (c) EEPROM 存在且不为空仿真波形图

### 3.3 原型验证

当设计的功能仿真正确后,将程序下载到 FPGA 当设计的功能仿真正确后,将程序下载到 FPGA 验证板中进行验证。原型验证如图 5,从 EEPROM 无效、EEPROM 有效但值为空和 EEPROM 有效且不空三个方面进行验证,验证结果表明 SPI 主控制器能正常工作。

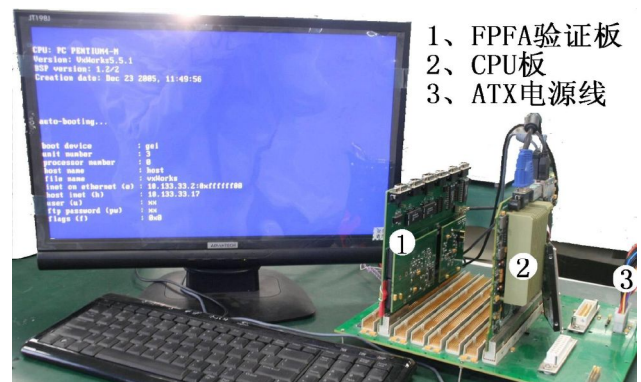


图 5 原型验证平台

## 4 结语

该设计以 EEPROM 初始化 PCI 配置寄存器为例,按照自顶而下的思想完成了 SPI 主控制器的设计,实现了其全双工传输,同时也解决了没有 SPI 接口的微处理器与外设通信的需求。此控制器实现方法简单,资源利用合理,可以应用在不同的场合中。

### 参考文献

- 1 王二萍.高速可复用 SPI 总线的设计与 Verilog HDL 实现.郑州:河南大学,2007.
- 2 Babulu K, Soundara K, Rajan. FPGA Implementation of USB Transceiver Macrocell Interface with USB2.0 Specifications. Emerging Trends in Engineering and Technology,2008.IC-ETET'08.First International Conference on.Nagpur,Maharashtra: IEEE Press, 2008: 966-970.
- 3 王珏文,金伟信,蔡一兵,颜莉萍.基于 FPGA 的 SPI 总线接口的实现.现代电子技术,2010,33(14):102-104.
- 4 潘志强,李演仁.PCI9052 接口电路的功能及应用.电子元器件应用,2003,5(12):33-35
- 5 张泉.片上总线 WISHBONE 的 Verilog HDL 实现.上海:同济大学,2005.
- 6 易志明,林凌,郝丽宏,李树婧.SPI 串行总线接口及其实现.自动化与仪器仪表,2002,45-48.
- 7 任爱锋.基于 FPGA 的嵌入式系统设计.西安:西安电子科技大学出版社,2005.
- 8 王钊,卓兴旺.基于 Verilog HDL 的数字系统应用设计.国防工业出版社,2007.
- 9 夏宇闻.Verilog 数字系统设计教程.北京:北京航空航天大学出版社,2003.